

<<SystemVerilog验证>>

图书基本信息

书名：<<SystemVerilog验证>>

13位ISBN编号：9787030253064

10位ISBN编号：703025306X

出版时间：2009-9

出版时间：科学出版社

作者：克里斯·斯皮尔

页数：365

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<SystemVerilog验证>>

前言

SystemVerilog语言的出现只有短短几年的时间，目前市面上关于systemVerilog语言的中文书籍并不多见，而且大多都是介绍systemVerilog语言的设计特性。

实际上，SystemVerilog语言除了具有设计特性外，还具有验证及其他诸多方面的特性。

“验证”经常被认为是简单的仿真，这当然是一种误解，本书将告诉你其中缘由。

本书主要介绍SystemVerilog语言的验证技术，尤其侧重阐述如何使用受约束的随机测试来达到令人满意的覆盖率。

原著作者克里斯·斯皮尔（Chris Spear）是一名资深的数字电路工程师，在软件编程方面有很丰富的经验，书中的很多观点和例子就来自于作者平时工作的积累。

本书没有深奥的理论，叙述上深入浅出。

而且由于作者同时也精通C++、Verilog和Vera等编程语言，所以书中对于systemVerilog与这些语言之间的差别以及易混淆的地方交代得十分清楚，特别适合systemVerilog的初学者阅读。

本书的翻译过程颇为波折，前后总共持续了一年多的时间。

当我们在2008年初开始着手翻译工作时，使用的还是本书的第一版。

但翻译工作进行到将近一半时。

获悉本书的第二版即将发行，于是转为等待翻译第二版。

第二版除了章节内容上有所增补以外，原有章节的很多字句也有所改动，只得重新翻译、校对。

本书的翻译具体分工如下：第6、11章的翻译由张春负责；前言和第1、2、3、7、9章的翻译由麦宋平负责；第4、5、8、10、12章的翻译由赵益新负责；全书的审校和最终定稿由张春负责。

衷心感谢清华大学微电子学研究所的王志华教授，他在本书翻译之初就提出了很多具有指导性的意见，并且为翻译工作提供了很多支持。

衷心感谢科学出版社的支持，正是出版社各位编辑的鼓励和督促，以及他们勤勤恳恳的工作，才使得本书的中译本得以如期与读者见面。

由于本书的翻译稿出现第一版和第二版交叉，新词汇又比较多。

囿于译者的经验和水平，虽然经过多次仔细的斟酌和校对。

仍难免存在不准确和纰漏的地方，请读者不吝批评指正！

<<SystemVerilog验证>>

内容概要

本书讲解了SystemVerilog语言的工作原理，介绍了类、随机化和功能覆盖率等测试手段和概念，并且在创建测试平台方面提供了很多引导性的建议。

本书借助大量的实例说明SystemVerilog的各种验证方法，以及如何根据实际的应用情况选择最优的方法达到尽可能高的覆盖率。

而且，重点演示了如何使用面向对象编程(OOP)的方法建立由覆盖率驱动并且受约束的基本的随机分层测试平台，此外，还论述了SystemVerilog与C语言的接口技术。

本书可供具有一定Verilog编程基础的电路工程技术人员使用，也可作为高等院校电子类、自动化类、计算机类的学生参考书。

<<SystemVerilog验证>>

作者简介

作者：(美国)克里斯·斯皮尔 译者：张春 麦宋平 赵益新

书籍目录

第1章 验证导论 1.1 验证流程 1.1.1 不同层次上的测试 1.1.2 验证计划 1.2 验证方法学 1.3 基本测试平台的功能 1.4 定向测试 1.5 方法学基础 1.6 受约束的随机激励 1.7 你的随机化对象是什么 1.7.1 设备和环境配置 1.7.2 输入数据 1.7.3 协议异常、错误和违例 1.7.4 时延和同步 1.7.5 并行的随机测试 1.8 功能覆盖率 1.8.1 从功能覆盖率到激励的反馈 1.9 测试平台的构件 1.10 分层的测试平台 1.10.1 不分层的测试平台 1.10.2 信号和命令层 1.10.3 功能层 1.10.4 场景层 1.10.5 测试的层次和功能覆盖率 1.11 建立一个分层的测试平台 1.11.1 创建一个简单的驱动器 1.12 仿真环境的阶段 1.13 最大限度的代码重用 1.14 测试平台的性能 1.15 结束语

第2章 数据类型 2.1 内建数据类型 2.1.1 逻辑(logic)类型 2.1.2 双状态数据类型 2.2 定宽数组 2.2.1 定宽数组的声明和初始化 2.2.2 常量数组 2.2.3 基本的数组操作——for和foreach 2.2.4 基本的数组操作——复制和比较 2.2.5 同时使用位下标和数组下标 2.2.6 合并数组 2.2.7 合并数组的例子 2.2.8 合并数组和非合并数组的选择 2.3 动态数组 2.4 队列 2.5 关联数组 2.6 链表 2.7 数组的方法 2.7.1 数组缩减方法 2.7.2 数组定位方法 2.7.3 数组的排序 2.7.4 使用数组定位方法建立记分板 2.8 选择存储类型 2.8.1 灵活性 2.8.2 存储器用量 2.8.3 速度 2.8.4 排序 2.8.5 选择最优的数据结构 2.9 使用typedef创建新的类型 2.10 创建用户自定义结构 2.10.1 使用struct创建新类型 2.10.2 对结构进行初始化 2.10.3 创建可容纳不同类型的联合 2.10.4 合并结构 2.10.5 在合并结构和非合并结构之间进行选择 2.11 类型转换 2.11.1 静态转换 2.11.2 动态转换

第3章 过程语句和子程序 第4章 连接设计和测试平台 第5章 面向对象编程基础 第6章 随机化 第7章 线程以及线程间的通信 第8章 面向对象编程的高级技巧指南 第9章 功能覆盖率 第10章 高级接口 第11章 完整的System Verilog测试平台 第12章 System Verilog与C语言的接口

<<SystemVerilog验证>>

章节摘录

插图：第1章验证导论“有些人相信，我们缺乏能够描述这个完美世界的编程语言……”——《黑客帝国》，1999设想一下，你被委任去为别人建一幢房子。

你该从哪里开始呢？

是不是一开始就考虑如何选择门窗、涂料和地毯的颜色，或者浴室的用料？

当然不是！

首先你必须考虑房的主人将如何使用房子内部的空间，这样才能确定应该建造什么类型的房子。

你应该考虑的问题是他们是喜欢烹饪并且需要一个高端的厨房，还是喜欢在家里边看电影边吃外卖比萨？

他们是需要一间书房或者额外的卧室，还是受预算所限要求更简朴一些？

在开始学习有关SystemVerilog语言的细节之前，你需要理解如何制订计划来验证你的设计，以及这个验证计划对测试平台结构的影响。

如同所有房子都有厨房、卧室和浴室一样，所有测试平台也都需要共享一些用于产生激励和检验激励响应的结构。

本章将就测试平台的构建和设计给出一些引导性的建议和编码风格方面的参考，以满足个性化的需要。

这些技术使用了Bergeron等人2006年所著《SystemVerilog验证方法学》书中的一些概念，但不包括基本类。

作为一个验证工程师，你能学到的最重要的原则是“程序漏洞利大于弊”。

不要因为害羞而不敢去找下一个漏洞，每次找到漏洞都应该果断报警并记录下来。

整个项目的验证团队假定设计中存在漏洞，所以在流片之前每发现一个漏洞就意味着最终到客户手里少一个漏洞。

你应该尽可能细致深入地去检验设计，并提取出所有可能的漏洞，尽管这些漏洞可能很容易修复。

不要让设计者拿走了所有的荣誉——没有你的耐心细致、花样翻新的验证，设计有可能无法正常工作！

<<SystemVerilog验证>>

编辑推荐

《SystemVerilog验证:测试平台编写指南(原书第2版)》：实用技术

<<SystemVerilog验证>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介, 请支持正版图书。

更多资源请访问:<http://www.tushu007.com>