

## <<数字集成电路测试优化>>

### 图书基本信息

书名：<<数字集成电路测试优化>>

13位ISBN编号：9787030278944

10位ISBN编号：7030278941

出版时间：2010-6

出版时间：科学出版社

作者：李晓维 等著

页数：344

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

## &lt;&lt;数字集成电路测试优化&gt;&gt;

## 前言

测试是集成电路的关键技术之一，是集成电路质量保障的主要技术手段。在集成电路芯片广泛应用于电子信息系统、产品质量要求日益提高的大趋势下，为尽量减少芯片制造中产生的故障可能导致的信息系统失效、经济损失甚至灾难性后果，对芯片故障的快速、可靠和精确测试的需求越来越高。

本书是首次全面论述数字集成电路测试优化方法的学术著作，以测试“优化”为主线，汇集了2001年以来中国科学院计算技术研究所数字集成电路测试方法学研究中取得的自主创新的重要研究成果和结论。

内容涉及数字集成电路测试优化的三个主要方面：测试压缩、测试功耗优化和测试调度。

全书共分11章，其中技术内容可分为三大部分。

第一部分（第2~3章）为测试压缩，从测试激励压缩和测试响应压缩两个角度论述激励压缩的有效方法和解压缩电路结构。

第二部分（第4~7章）为测试功耗优化，论述静态测试功耗优化、动态测试功耗优化、测试压缩与测试功耗的协同优化。

第三部分（第8~10章）为测试调度，论述系统芯片的测试调度、测试向量集与测试流程优化，并以国产64位高性能处理器（龙芯2E和2F）为例介绍了测试优化成果的应用。

本书的主要技术内容汇集了李晓维研究员2001年以来指导的博士生（韩银和、徐勇军、李佳、王达等）和硕士生（董婕、文科等）的学位论文工作的部分成果，以及与两位博士后（胡瑜、王伟）合作研究的成果。

部分研究成果已经在本领域相关学术刊物和学术会议上发表。

本书由李晓维研究员主持撰写，韩银和博士参与了第2、3章内容的整理，胡瑜博士、李佳博士、王伟博士参与了第4~9章内容的整理，王达博士参与了第10章内容的整理。

中国科学院计算技术研究所李华伟研究员审阅了全部书稿，美国15CSB计算机系主任郑光廷教授撰写了序言。

在此表示衷心的感谢。

本书汇集的部分科研成果是在国家重点基础研究发展计划（973）课题“高性能处理芯片的设计验证与测试”（2005CB321605）、国家自然科学基金重点项目“数字VLSI电路测试技术研究”

（60633060）和“从行为级到版图级的设计验证与测试生成”（90207002）等资助下完成的。

本书的出版获得了中国科学院科学出版基金的资助。

研究过程中得到了中国科学院计算技术研究所李国杰院士、闵应骅研究员、胡伟武研究员、李忠诚研究员等领导 and 同事的关心和支持，得到了清华大学杨士元教授、香港中文大学徐强博士、宁波大学夏银水教授、合肥工业大学梁华国教授等同行的支持和帮助，在此表示衷心的感谢。

由于作者水平和经验有限，书中难免存在疏漏之处，恳请读者批评指正。

## <<数字集成电路测试优化>>

### 内容概要

本书内容涉及数字集成电路测试优化的三个主要方面：测试压缩、测试功耗优化、测试调度。包括测试数据压缩的基本原理，激励压缩的有效方法，测试响应压缩方法和电路结构；测试功耗优化的基本原理，静态测试功耗优化方法，动态测试功耗优化；测试压缩与测试功耗协同优化方法；测试压缩与测试调度协同优化方法；并以国产64位高性能处理器(龙芯2E和2F)为例介绍了相关成果的应用。

全书阐述了作者及其科研团队自主创新的研究成果和结论，对致力于数字集成电路测试与设计研究的科研人员(尤其是在读研究生)具有较大的学术参考价值，也可用作集成电路专业的高等院校教师、研究生和高年级本科生的教学参考书。

## &lt;&lt;数字集成电路测试优化&gt;&gt;

## 书籍目录

FOREWORD前言第1章 绪论 1.1 测试优化方法简介 1.2 测试优化中的关键问题 1.2.1 测试压缩中X位的处理 1.2.2 快速功耗估计与测试功耗优化 1.2.3 测试外壳设计与测试调度算法 1.3 本书章节组织结构 参考文献第2章 测试激励压缩 2.1 测试激励压缩 2.1.1 测试激励数据中的X位 2.1.2 激励压缩中的相关术语 2.1.3 激励压缩方法分类 2.2 基于Variable-Tail编码的压缩方法 2.2.1 激励压缩中的编码设计 2.2.2 Variable-Tail编码 2.2.3 实验及分析 2.3 周期可重构测试压缩方法 2.3.1 周期可重构技术及解压缩电路结构 2.3.2 周期可重构MUX网络的自动综合算法 2.3.3 测试压缩率分析 2.4 本章小结 参考文献第3章 测试响应压缩 3.1 测试响应压缩 3.1.1 响应压缩中的相关术语 3.1.2 时间维和空间维混合压缩和未知位 3.2 时空维混合压缩方法 3.2.1 失效芯片中错误位分布及卷积编码 3.2.2 改进的(n, n-1, m, d)卷积码设计 3.2.3 压缩电路的两种不同实现形式 3.3 未知位容忍技术 3.4 诊断设计 3.5 混淆率方面的一些实验结果 3.6 激励压缩和响应压缩的结合——商业EDA工具分析 3.7 本章小结 参考文献第4章 动态功耗估计 4.1 动态功耗模型 4.1.1 动态功耗来源 4.1.2 跳变功耗模型 4.1.3 UMC电路模型 4.2 功耗敏感性分析 4.2.1 功耗敏感性分析方法 4.2.2 动态功耗敏感性分析 4.2.3 静态功耗敏感性分析 4.2.4 敏感性分析应用 4.3 冒险共振及应用 4.3.1 冒险叠加现象 4.3.2 状态空间压缩 4.3.3 实验及分析 4.4 上电瞬态功耗估计 4.4.1 电源门控方法 4.4.2 上电电流模型 4.4.3 遗传算法优化方法 4.4.4 实验及分析 4.5 体系结构级功耗估计 4.5.1 体系结构级功耗估计 4.5.2 体系结构级功耗模型 4.5.3 实验及分析 4.6 动态测试功耗估计 4.6.1 相关术语 4.6.2 动态测试功耗计算模型 4.7 本章小结 参考文献第5章 动态测试功耗优化 5.1 扫描测试功耗问题 5.2 移位与捕获测试功耗 5.2.1 移位测试功耗分析 5.2.2 捕获测试功耗分析 5.3 动态测试功耗优化方法分类 5.4 基于扫描链调整的动态测试功耗优化 5.4.1 基于可测试性设计的测试功耗优化方法相关研究 5.4.2 扫描单元分组连接技术 5.4.3 扫描链划分与排序技术 5.4.4 移位功耗优化效果及硬件开销实验数据分析 5.5 基于测试向量调整的动态测试功耗优化 5.5.1 基于测试向量填充的动态测试功耗优化 5.5.2 基于测试向量排序的动态测试功耗优化 5.6 本章小结 参考文献第6章 静态测试功耗优化 6.1 静态功耗模型 6.2 静态功耗估计 6.2.1 静态功耗堆栈效应 6.2.2 静态功耗查表估计法 6.2.3 模拟器实现及验证 6.3 静态测试功耗优化 6.3.1 基于X位的漏电流优化技术 6.3.2 扫描功耗门锁 6.4 本章小结 参考文献第7章 测试压缩与测试功耗协同优化 7.1 基于随机访问扫描设计的协同优化 7.1.1 CSCD设计 7.1.2 效果分析 7.1.3 实验及分析 7.2 基于测试向量填充的协同优化 7.2.1 主流编码测试压缩技术 7.2.2 低功耗测试压缩基础 7.2.3 基于选择编码方案的低功耗测试压缩方案 7.2.4 实验及分析 7.3 基于Variable-Tail编码的协同优化 7.3.1 测试压缩率优化 7.3.2 测试中移位功耗的优化 7.3.3 测试数据压缩和测试功耗的协同优化 7.4 基于芯核并行外壳设计的协同优化 7.4.1 芯核测试外壳设计 7.4.2 串行测试外壳设计的代价 7.4.3 扫描切片重叠和部分重叠 7.4.4 并行外壳设计方法 7.4.5 实验及分析 7.5 本章小结 参考文献第8章 系统芯片的测试调度 8.1 系统芯片测试简介 8.2 测试访问机制 8.2.1 基于总线的测试访问机制 8.2.2 基于片上网络的测试访问机制 8.3 基于双核扫描链平衡的测试调度 8.3.1 基于总线的测试调度相关研究 8.3.2 扫描链平衡设计 8.3.3 基于双核扫描链平衡的测试调度方法 8.4 基于片上网络的交错式测试调度 8.4.1 片上网络测试相关工作介绍 8.4.2 低功耗片上网络测试调度 8.4.3 实验及分析 8.5 本章小结 参考文献第9章 测试向量集与测试流程优化 9.1 引言 9.2 测试向量集优化 9.2.1 固定型故障测试向量生成 9.2.2 时延故障测试向量生成 9.2.3 非压缩模式下的测试向量集优化 9.2.4 压缩模式下的测试向量集优化 9.3 测试流程优化 9.3.1 测试项目有效性 9.3.2 测试流程优化算法 9.3.3 实验及分析 9.4 本章小结 参考文献第10章 测试优化技术在龙芯通用处理器中的应用 10.1 通用处理器DFT面临的挑战 10.2 测试优化技术在龙芯2E中的应用 10.2.1 DFT方案设计总体框架结构 10.2.2 扫描设计 10.2.3 存储器内建自测试 10.2.4 测试向量产生 10.2.5 边界扫描设计 10.3 测试优化技术在龙芯2F中的应用 10.3.1 龙芯2F高性能通用处理器的测试难点 10.3.2 龙芯2F可测试性设计结构 10.3.3 支持实速测试的可测试性时钟电路设计 10.3.4 实速测试的测试生成 10.3.5 扫描与混合测试压缩结构设计 10.3.6 嵌入式存储器内建自测试与诊断电路设计 10.3.7 边界扫描结构设计 10.3.8 测试功耗控制结构设计 10.3.9 测试向量生成与测试结果分析 10.3.10 与主流处理器DFT比较 10.4 本章小结 参考文献第11章 总结与展望 11.1 总结 11.2 展望 11.2.1 测试压缩 11.2.2 测试功耗优化 11.2.3 测试调度 参考文献索引

<<数字集成电路测试优化>>

## <<数字集成电路测试优化>>

### 章节摘录

第4章介绍了动态功耗估计方法论了动态功耗的经典模型，详细阐述一个自主开发的功耗估计及优化实验平台电路模型；在此基础上，给出了组合电路的功耗敏感性分析原理和应用，研究了动态功耗的冒险共振现象，并讨论了它在功耗估计中的应用；此外，研究了上电状态下的功耗行为，给出了一种针对电路上电的瞬间功耗进行较准确功耗估计的方法，并讨论了系统级动态功耗估计及其应用相关问题。

最后，针对本书主要关心的测试功耗问题，介绍了相关的基本术语以及估计模型。

第5章介绍了动态测试功耗优化方法。

介绍了测试功耗模型，并分别分析了移位与捕获功耗的不同特点及其可能带来的危害。

在分析已有测试功耗优化方法研究的基础上，介绍两类动态测试功耗优化方法：基于扫描链调整以及基于测试向量调整的测试功耗优化方法。

第6章介绍了静态测试功耗优化方法。

对静态功耗进行了建模与分析，提出了通过设计高效的漏电流模拟器实现快速准确的静态功耗估计的方法；提出了基于X位的静态测试功耗优化技术，并介绍了如何将该静态测试功耗优化技术与相关的动态测试功耗控制技术相结合，应用于常见的扫描测试中，实现静态测试功耗与动态测试功耗的协同优化。

.....

<<数字集成电路测试优化>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>