

<<数字集成电路容错设计>>

图书基本信息

书名：<<数字集成电路容错设计>>

13位ISBN编号：9787030305763

10位ISBN编号：7030305760

出版时间：2011-4

出版时间：科学出版社

作者：李晓维 等著

页数：433

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<数字集成电路容错设计>>

内容概要

《数字集成电路容错设计--容缺陷故障、容参数偏差、容软错误》主要内容涉及数字集成电路容错设计的三个方面：容缺陷(和故障)、容参数偏差以及容软错误；包括3s技术(自测试、自诊断、自修复)的基本原理。

从嵌入式存储、多核处理器和片上网络三个方面论述了缺陷(故障)容忍方法；从参数偏差容忍的角度，论述了抗老化设计和参数偏差容忍设计方法；从处理器和片上网络两个层次论述了软错误容忍方法；并以国产具有自?复功能的单核及多核处理器为例介绍了相关成果的应用。

《数字集成电路容错设计--容缺陷故障、容参数偏差、容软错误》的特点是兼具先进性和实用性，系统性强，体系新颖。

《数字集成电路容错设计--容缺陷故障、容参数偏差、容软错误》适合于从事集成电路(与系统)容错设计方向学术研究，以及集成电路kda工具开发和应用的科技人员参考；也可用作集成电路与半导体专业的高等院校教师、研究生和高年级本科生的教学参考书。

<<数字集成电路容错设计>>

书籍目录

foreword

前言

第1章 绪论

1.1 数字集成系统容错设计简介

1.1.1 数字集成电路设计的可靠性挑战

1.1.2 数字集成电路的3s和3t可靠性设计框架

1.2 数字集成系统容错设计的关键问题

1.2.1 缺陷容忍

1.2.2 偏差容忍

1.2.3 软错误容忍

1.3 章节组织结构

参考文献

第2章 嵌入式存储器的容缺陷设计

2.1 嵌入式存储器的容缺陷设计

2.1.1 缺陷与故障模型

2.1.2 嵌入式存储器的自测试方法

2.1.3 嵌入式存储器的自诊断方法

2.1.4 嵌入式存储器的自修复方法

2.2 利用内容可寻址技术的嵌入式存储器容缺陷设计

2.2.1 相关研究工作

2.2.2 冗余资源结构

2.2.3 自测试自诊断和自修复方法

2.2.4 实验结果及其分析

2.3 小结

参考文献

第3章 多核处理器的容缺陷设计

3.1 多核处理器的核级冗余

3.1.1 核级冗余与微体系结构级冗余

3.1.2 核级冗余的降级模式与冗余模式

3.1.3 冗余模式对多核处理器系统的影响

3.2 冗余模式下多核处理器的拓扑重构

3.2.1 拓扑重构的量化评估方法

3.2.2 二维mesh结构的重构问题

3.2.3 问题复杂度分析

3.3 多核处理器的拓扑重构优化算法

3.3.1 最直接的?法——模拟退火

3.3.2 一种贪心算法——行波列借算法

3.3.3 行波列借制导的模拟退火算法

3.3.4 算法性能分析

3.4 多核处理器的测试与故障诊断

3.5 小结

参考文献

第4章 片上网络路由器容错设计

4.1 片上网络路由器容错设计概述

4.1.1 片上路由器容错设计的关键问题

<<数字集成电路容错设计>>

4.1.2 典型容错路由器结构

4.2 切片路由器

4.2.1 数据通路的切片复用

4.2.2 切片复用微体系结构

4.2.3 切片路由器的工作模式

4.2.4 路由器间的故障关联

4.2.5 切片路由器扩?

4.3 切片路由器的性能开销分析

4.3.1 可靠性参数设计与分析

4.3.2 总体评估

4.4 片上网络路由器的故障检测和诊断方法

4.5 小结

参考文献

第5章 片上网络容错路由

5.1 容错路由算法分类

5.2 死锁避免方法

5.2.1 dally和seitz理论

5.2.2 duato理论

5.2.3 转向模型

5.3 故障模型

5.3.1 凸区域模型

5.3.2 正交凸区域模型

5.4 典型算法分析

5.4.1 boppana和chalanani算法

5.4.2 低成本可重构路由算法

5.5 小结

参考文献

第6章 数字电路的复合故障诊断方法

6.1 复合故障诊断方法

6.1.1 扫描设计与故障模型

6.1.2 复合故障诊断方法

6.2 基于可诊断性螺旋扫描设计的故障诊断方法

6.2.1 可诊断性设计方法

6.2.2 基于螺旋扫描设计的故障诊断

6.2.3 实验结果及其分析

6.3 基于确定性诊断向量生成的复合故障诊断方法

6.3.1 面向复合故障的扫描链故障诊断方法

6.3.2 面向复合故障的组合逻辑故障诊断方法

6.4 小结

参考文献

第7章 处理芯片的抗老化设计

7.1 老化机理与?命期可靠性建模

7.1.1 两类老化机理简述

7.1.2 生命期可靠性建模——“浴盆曲线”

7.2 老化的在线感知

7.2.1 老化感知原理

7.2.2 电路实现

<<数字集成电路容错设计>>

7.3 老化容忍的微结构设计

7.3.1 基于冗余重构设计

7.3.2 基于电路状态控制的设计

7.3.3 基于时序动态优化设计

7.4 老化的预测

7.4.1 老化预测框架

7.4.2 识别关键路径和关键门

7.4.3 最大电路老化预测模型

7.4.4 实验结果及其分析

7.5 小结

参考文献

第8章 多核处理器容参数偏差设计

8.1 参数偏差的分类

8.1.1 工艺偏差

8.1.2 电压波动

8.1.3 温度波动

8.2 针对不同类型参数偏差的优化技术

8.2.1 工艺偏差的优化

8.2.2 电压波动的优化

8.2.3 温度波动的优化

8.3 参数偏差的协同优化技术

8.3.1 pvt偏差对时序偏差的影响

8.3.2 偏差强度的频域分析

8.3.3 时域的解释

8.4 tea方法的可行性分析

8.4.1 实现技术难点

8.4.2 已具备的基础条件

8.5 实施方案

8.5.1 即时推测各个偏差分量强度

8.5.2 非显式依赖v分量的即时迁移?策

8.5.3 即时偏差程度预测

8.5.4 硬件开销

8.6 方案有效性评估

8.6.1 处理器核的配置参数和工作负载

8.6.2 供电网络模型

8.6.3 pvt偏差与电路时延的精确关系

8.6.4 其他参数定义

8.6.5 评估指标

8.6.6 实验结果及其分析

8.7 小结

参考文献

第9章 处理器的容软错误设计

9.1 冗余执行层次

9.1.1 数据级冗余执行

9.1.2 指令级冗余执行

9.1.3 线程级冗余执行

9.1.4 进程级冗余执行

<<数字集成电路容错设计>>

9.2 利用数据级冗余执行的软错误检测与恢复

9.2.1 数据级冗余执行的条件

9.2.2 数据级冗余执行的微结构设计

9.2.3 结合指令复制的软错误检测机制

9.2.4 基于检查点的软错误恢复技术

9.2.5 实验结果及其分析

9.3 冗余线程的调度和分配

9.3.1 核间性能不对称的多核处理器上的线程冗余

9.3.2 冗余线程的调度算法

9.3.3 算法性能分析

9.4 小结

参考文献

第10章 片上网络容软错误通信方法

10.1 片上通信的差错控制方法

10.1.1 基于检错纠错的请求重传机制

10.1.2 无重传的随机通信机制

10.2 数据包分级保护方法

10.2.1 数据包分析

10.2.2 分级保护策略

10.2.3 性能效率分析

10.3 带有端到端反馈的容软错误通信方法

10.3.1 一种带反馈的随机容错路由算法

10.3.2 三种容软错误通信算法比较

10.3.3 带有端到端反馈容错方法总结

10.4 小结

参考文献

第11章 微体系结构级可靠性评估方法

11.1 微体系结构级可靠性评估方法

11.1.1 背景知识

11.1.2 体系结构脆弱因子计算

11.1.3 分析比较

11.2 体系结构脆弱因子离线评估

11.2.1 软错误故障注入分析

11.2.2 故障注入流程

11.2.3 实验结果及其分析

11.3 体系结构脆弱因子在线评估

11.3.1 整体框图设计

11.3.2 体系结构脆弱因子在线计算

11.3.3 体系结构脆弱因子预测算法

11.3.4 实验结果及其分析

11.4 间歇故障脆弱因子评估

11.4.1 研究背景及动机

11.4.2 间歇故障脆弱因子计算方法

11.4.3 实验结果及其分析

11.5 小结

参考文献

第12章 处理器芯片的容错设计实例

<<数字集成电路容错设计>>

12.1 自修复处理器

12.1.1 自修复处理器设计背景及意义

12.1.2 自修复处理器芯片的结构设计

12.1.3 自修复处理器在wsn中的应用

12.2 godson-t众核处理器容错设计

12.2.1 godson-t体系结构

12.2.2 片上网络和基准程序性能分析

12.3 小结

参考文献

第13章 总结与展望

13.1 总结

13.2 展望

参考文献

索引

<<数字集成电路容错设计>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>