

<<并行计算机体系结构>>

图书基本信息

书名：<<并行计算机体系结构>>

13位ISBN编号：9787040115581

10位ISBN编号：7040115581

出版时间：2002-9

出版时间：高等教育出版社

作者：陈国良等编

页数：470

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

## <<并行计算机体系结构>>

### 前言

高性能计算机是一个国家经济和科技实力的综合体现，也是促进经济、科技发展，社会进步和国防安全的重要工具，已成为世界各国竞相争夺的战略制高点。

一些发达国家纷纷制定战略计划，提出很高目标，投入大量资金，加速研究开发步伐。

多年来，随着大规模集成电路技术的不断进步，以及CPU为基础的高性能并行计算机得到了迅速的发展，其高端系统正向百万亿次、千万亿次迈进。

我国近十年来，对高性能并行计算的研究开发也给予了很大重视，取得了长足进步和可贵经验，研制出了具有相当水平的并行机系统，但与发达国家相比，差距仍然甚大，在高性能并行计算的应用开发与相关的人才培养教育方面尤现不足。

如何使高性能并行机系统深入充分地国民经济、科研和社会应用的发展中发挥作用，实为当务之急，引起人们的普遍关心。

由中国科技大学陈国良教授主编的这套丛书，正适应了我国高性能并行计算研究、开发、应用、教育之需。

本丛书由《并行算法的设计与分析》、《并行计算机体系结构》和《并行算法实践》三大部分组成，而以《并行计算——结构·算法·编程》为全丛书之提要。

该丛书以并行计算为主题，对并行计算的硬件平台（当代主流并行计算机系统）、并行计算的理论基础（并行算法的设计与分析）和并行计算的软件支撑（并行程序设计）全面系统地展开了讨论，内容丰富，取材新近，具有相当的深度和广度，涵盖了并行计算机体系结构和并行算法的理论、设计和实践的各个方面，是国内外不多见的优秀著作。

陈国良教授是国家高性能计算中心（合肥）主任，长期从事并行算法和并行计算机体系结构的研究，本套丛书是作者几十年从事教学与科研工作的结晶，是目前国内该领域内容涵盖最为全面的系列著作。

它的出版必将对进一步推动我国并行计算学科的发展与应用推广产生深远的影响。

## <<并行计算机体系结构>>

### 内容概要

《并行计算机体系结构》以当代可扩放的并行计算机系统结构为主题，从硬件和软件的角度，着重讨论了对称多处理机系统、大规模并行处理机系统、机群系统和分布共享存储系统的组成原理、结构特性、关键技术、性能分析、设计方法及相应的系统实例等。

全书共八章，可分为三个单元：第一单元为并行计算机体系结构的基础部分，包括绪论（第一章）、性能评测（第二章）和互连网络（第三章）；第二单元为当代主流并行计算机系统，包括对称多处理机系统（第四章）、大规模并行处理机系统（第五章）和机群系统（第六章）；第三单元是并行计算机体系结构的较深入的内容，包括分布共享存储系统（第七章）和并行机中的通信与延迟问题（第八章）。

全书取材先进，内容精炼，体系完整，力图反映本学科的最新成就和发展势，可作为高等学校计算机及相关专业的本科高年级学生和研究生的教学用书；也可供从事计算机体系结构研究的科技人员阅读参考。

## <<并行计算机体系结构>>

### 作者简介

陈国良，中国科学技术大学教授，博士生导师，1938年6月生于安徽省颖上县，1961年毕业于西安交通大学无线电系计算机专业。

1981—1983年在美国普度大学作访问学者，1984年至今曾多次应邀赴东京大学、普度大学、澳大利亚国立大学、新南威尔士大学、昆士兰大学、格里福斯大学、堪萨斯城市大学、依阿华大学、威斯康星大学、Maharish国际大学、香港理工大学、澳门大学、北京大学、国防科技大学等讲学交流。

现任国家高性能计算中心（合肥）主任，国际高性能计算（亚洲）常务理事，全国高等教育电子、电工和信息类专业自考指导委员会副主任，中国计算机学会开放系统专业委员会副主任，中国数学会计算数学并行计算专业委员会委员，全国自然科学名词审定委员会委员。

曾任国家教育部高等学校计算机科学与技术教学指导委员会副主任，安徽省高校计算机基础课程教学指导委员会副主任，中国计算机学会理事，安徽省计算机学会理事长，中国科学技术大学计算机系主任。

## &lt;&lt;并行计算机体系结构&gt;&gt;

## 书籍目录

第一章 绪论1.1 引言1.1.1 什么是并行计算机1.1.2 为什么需要并行计算机1.1.3 如何学习并行计算机1.2 并行计算机发展背景1.2.1 应用需求1.2.2 技术进展1.2.3 结构趋势1.3 典型并行计算机系统简介1.3.1 SIMD阵列处理机1.3.2 向量处理机1.3.3 共享存储多处理机1.3.4 分布存储多计算机1.3.5 共享分布存储多处理机1.4 当代并行计算机体系结构1.4.1 并行计算机结构模型1.4.2 并行计算机访存模型1.4.3 并行计算机存储层次及其一致性问题1.5 并行计算机的应用基础1.5.1 并行计算模型1.5.2 并行程序设计模型1.5.3 同步1.5.4 通信1.5.5 并行化技术与程序调试1.6 国产曙光系列并行机系统介绍1.6.1 全对称共享存储多处理机系统：曙光1号1.6.2 大规模并行处理系统：曙光 - 10001.6.3 超级并行计算机系统：曙光 - 20001.7 小结1.7.1 当今并行机体系结构研究的几个主要问题1.7.2 并行计算机中的若干新技术习题参考文献第二章 性能评测2.1 引言2.1.1 什么是并行机的基本性能2.1.2 为什么要研究并行机的性能评测2.1.3 如何评测并行机的性能2.2 机器级性能评测2.2.1 CPU和存储器的某些基本性能指标2.2.2 并行和通信开销2.2.3 并行机的可用性与好用性2.2.4 机器的成本、价格与性能 / 价格比2.3 算法级性能评测2.3.1 加速比性能定律2.3.2 可扩放性评测标准2.4 程序级性能评测2.4.1 基准测试程序的分类2.4.2 基本基准测试程序2.4.3 并行基准测试程序2.4.4 商用基准测试程序2.4.5 SPEC测试程序2.5 如何提高高性能2.5.1 任务划分2.5.2 通信分析2.5.3 任务组合2.5.4 处理器映射2.5.5 任务的分配与调度2.6 小结习题参考文献第三章 互连网络3.1 引言3.1.1 系统互连3.1.2 网络部件3.1.3 网络的性能指标3.2 静态互连网络3.2.1 典型的互连网络3.2.2 静态互连网络综合比较3.3 动态互连网络3.3.1 多处理机总线3.3.2 交叉开关\_3.3.3 多级互连网络3.3.4 动态互连网络比较3.4 机群中的互连技术3.4.1 Myrinet3.4.2 HiPPI和超级HiPPI3.4.3 光纤通道和FDDI环3.4.4 异步传输模式ATM3.4.5 可扩展一致性接口SCI3.4.6 以太网3.5 选路与死锁3.5.1 信包传输方式3.5.2 选路算法3.5.3 死锁避免3.6 流量控制3.6.1 链路层流量控制3.6.2 端到端流量控制3.7 交换开关的设计3.7.1 端口3.7.2 内部数据路径3.7.3 通道缓冲区3.7.4 输出调度3.8 实例研究3.9 小结习题参考文献第四章 对称多处理机系统4.1 引言4.1.1 SMP的特点4.1.2 多处理机中的扩展存储层次结构4.2 高速缓存一致性和顺序一致性模型4.2.1 高速缓存一致性问题4.2.2 高速缓存一致的存储系统4.2.3 总线侦听实现高速缓存一致性4.2.4 顺序一致性模型4.3 侦听高速缓存一致性协议4.3.1 侦听协议的类型4.3.2 三态写回无效(MSI)协议4.3.3 四态写回无效(MESI)协议4.3.4 四态写回更新(Dragon)协议4.4 基本高速缓存一致性协议的实现4.4.1 正确性要求4.4.2 基本实现4.5 多级高速缓存4.5.1 维护包含性4.5.2 层次高速缓存一致性的传播4.6 分事务总线4.6.1 基本设计4.6.2 支持多级高速缓存4.7 同步问题4.7.1 基本问题4.7.2 互斥操作4.7.3 点到点事件同步4.7.4 全局事件同步4.8 实例分析：SGIChallenge4.8.1 SGI处理器和主存子系统4.8.2 SGII / O子系统4.9 小结习题参考文献第五章 大规模并行处理机系统5.1 MPP技术概论5.1.1 MPP特性和问题5.1.2 MPP系统概述5.2 实例分析1：CrayT3E的体系结构5.2.1 T3E的体系结构5.2.2 T3E的系统软件5.3 新一代ASCI / MPP系统5.3.1 ASCI可扩放设计策略5.3.2 硬件和软件要求5.3.3 定约的ASCI / MPP平台5.4 实例分析2：Intel / SandiaASCIOptionRed5.4.1 OptionRed的体系结构5.4.2 OptionRed的系统软件5.5 三个典型的MPP系统的运行性能评估5.6 小结习题参考文献第六章 机群系统6.1 引言6.1.1 基本概念6.1.2 体系结构6.2 设计要点6.2.1 可用性6.2.2 单一系统映像6.2.3 SolarisMC中的单系统映像6.3 作业管理6.3.1 研究动机6.3.2 作业管理系统6.3.3 研究现状6.3.4 负载共享程序6.4 并行文件系统6.4.1 数据的物理分布6.4.2 缓存6.4.3 数据预取6.4.4 I / O接口6.5 实例分析6.5.1 BerkeleyNOW6.5.2 IBMSP2系统6.6 小结习题参考文献第七章 分布式共享存储系统7.1 引言7.1.1 并行计算机的存储系统组织7.1.2 常见的共享存储系统7.2 可扩放的高速缓存一致性协议7.2.1 高速缓存一致性7.2.2 基于目录的高速缓存一致性协议7.3 放松的存储一致性模型7.3.1 目录协议中访存事件次序的实现7.3.2 弱存储一致性模型7.3.3 存储一致性模型的框架模型7.3.4 高速缓存一致性协议和存储一致性模型的关系7.4 硬件DSM实例研究7.4.1 Stanford的DASH多计算机(CC - NUMA结构)7.4.2：KendallSquareResearch的KSRI(COMA结构)7.5 共享虚拟存储系统SVM7.5.1 SVM系统中的关键技术7.5.2 实例研究：JIAJIA共享虚拟存储系统7.6 小结习题参考文献第八章 并行机中的通信与延迟8.1 引言8.1.1 延迟的基本概念8.1.2 延迟容忍技术的基本要求和收益上限8.1.3 消息传递模型下的各种延迟容忍技术8.2 延迟避免8.2.1 采用放松的一致性模型8.2.2 大块数据传输8.3 延迟容忍8.3.1 预通信8.3.2 多线程8.4 延迟减少8.4.1 用户级通信技术8.4.2 主动消息实现技术8.5 小结习题参考文献专业术语中英对照及索引



## &lt;&lt;并行计算机体系结构&gt;&gt;

## 章节摘录

4.2 高速缓存一致性和顺序一致性模型      4.2.1 高速缓存一致性问题      先来看一下内存系统的基本性质。

一个内存系统应该能提供一组保存值的存储单元，当对一个存储单元执行读操作时，应该能返回“最近”一个对该存储单元的写操作所写入的值。

在串行程序中，程序员利用内存来将程序中某一点计算出来的值，传递到该值的使用点，实际上就是利用了以上的基本性质。

同样，运行在单处理器上的多个进程或线程利用共享地址空间进行通信，实际上也是利用了内存系统的这个性质。

一个读操作应返回最近的向那个位置的写操作所写的值，而不管是哪个线程写的。

当所有的线程运行在同一个物理处理器上时，它们通过相同的高速缓存层次来看内存，因此在这种情况下，高速缓存不会引起问题。

当在共享内存的多处理器系统上运行一个具有多个进程的程序时，希望不管这些进程是运行在同一个处理器上，还是在不同的处理器上，程序的运行结果都是相同的。

然而，当两个运行在不同物理处理器上的进程通过不同的高速缓存层次来看共享内存时，其中一个进程可能会看到在它的高速缓存中的新值，而另一个则可能会看到旧值，这样就引起了高速缓存一致性问题。

通常，按照高速缓存的写策略的不同，有写直达wT和写回wB两种高速缓存：写直达高速缓存采用的策略是一旦高速缓存中的一个字被修改，则在主存中要立即修改；而写回高速缓存的策略是当被修改的字从高速缓存中被替换或消除时，才真正修改主存。

造成高速缓存一致性问题的主要原因有以下三种：      (1) 由共享可写数据所造成的不一致

图4.3 显示三个带有私有高速缓存的处理器，其高速缓存通过总线与共享主存相连。

考虑主存中的一个位置“u”和以下的一系列处理器发出的访问u的指令：首先，P1从主存中读u（动作1），从而P1的高速缓存中建立了一个“u”的拷贝；然后，p3从主存中读u（动作2），从而在P3的高速缓存中也建立了一个u的拷贝；接着，P3向主存写u（动作3），将u值从5改写为7。

<<并行计算机体系结构>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>