

<<FPGA/CPLD设计工具>>

图书基本信息

书名：<<FPGA/CPLD设计工具>>

13位ISBN编号：9787115112668

10位ISBN编号：7115112665

出版时间：2003-6-1

出版时间：人民邮电出版社

作者：王诚,薛小刚,钟信潮

页数：372

字数：585000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<FPGA/CPLD设计工具>>

内容概要

本书以FPGA/CPLD设计流程为主线，阐述了如何利用ISE设计平台集成的各种设计工具，高效地完成FPGA/CPLD的设计方法与技巧。

全书在介绍FPGA/CPLD概念和设计流程的基础上，依次论述工程管理与设计输入、仿真、综合、约束、实现与布局布线、配置调试等主要设计步骤在ISE集成环境中的实现方法与技巧。

本书立足工程实践，结合作者多年工作经验，选用大量典型实例，并配有一定数量的练习题。本书配套光盘收录了所有实例的完整工程目录、源代码、详细操作步骤和使用说明，利于读者边学边练，提高实际应用能力。

本书可作为高等院校通信工程、电子工程、计算机、微电子与半导体学等专业的教材，也可作为硬件工程师和IC工程师的实用工具书。

<<FPGA/CPLD设计工具>>

书籍目录

第1章 ISE系统简介 1.1 FPGA/CPLD简介 1.1.1 FPGA/CPLD的基本原理 1.1.2 FPGA/CPLD的特点 1.2 FPGA/CPLD的设计流程 1.3 ISE系列产品的特点 1.3.1 特点综述 1.3.2 ISE 5.x的新增特性 1.4 ISE 5.x支持的器件 1.5 ISE 5.x的系统配置与安装 1.5.1 推荐的系统配置 1.5.2 ISE 5.x的安装 1.6 ISE 5.x的集成工具及其基本功能 1.7 常用专有名词解释 1.8 小结 1.9 问题与思考 第2章 工程管理器与设计输入工具 2.1 ISE工程管理器 Project Navigator 2.1.1 Project Navigator综述 2.1.2 Project Navigator的用户界面 2.1.3 使用Project Navigator创建并管理工程 2.2 HDL语言的输入工具 HDL Editor 2.2.1 HDL Editor综述 2.2.2 源代码输入的好助手 Language Templates 2.3 状态机输入工具 StateCAD 2.3.1 StateCAD综述 2.3.2 StateCAD的用户界面 2.3.3 使用StateCAD设计状态机 2.4 原理图输入工具 ECS 2.4.1 ECS综述 2.4.2 ECS的用户界面 2.4.3 使用ECS完成原理图输入设计 2.4.4 使用ECS进行混合设计的方法 2.5 IP核生成工具 CORE Generator 2.5.1 CORE Generator综述 2.5.2 CORE Generator的用户界面 2.5.3 使用CORE Generator生成IP核的方法与技巧 2.6 测试激励生成器 HDL Bencher 2.6.1 HDL Bencher综述 2.6.2 使用HDL Bencher生成测试激励 2.7 设计结构向导 Architecture Wizard 2.7.1 Architecture Wizard综述 2.7.2 Architecture Wizard使用方法 2.8 小结 2.9 问题与思考 第3章 ModelSim仿真工具 3.1 ModelSim的用户接口 3.2 ModelSim仿真窗口综述 3.3 仿真环境的建立 3.3.1 仿真库的命名 3.3.2 仿真库文件的手动建立 3.4 一个简单的仿真示例 3.4.1 在ModelSim环境下进行仿真 3.4.2 在ISE集成环境中进行仿真 3.5 混合VHDL/Verilog仿真 3.6 ModelSim中的调试方法 3.7 使用批处理方式进行仿真 3.8 波形比较与WLF文件 3.8.1 创建一个参考的数据集合 3.8.2 修改源文件重新运行仿真 3.8.3 进行波形比较 3.9 SDF时序标注 3.10 仿真中的代码覆盖率 3.11 VCD文件 3.11.1 创建VCD文件 3.11.2 使用一个VCD文件重新进行仿真 3.12 问题与思考 第4章 ISE中集成的综合工具 4.1 新兴的高效综合工具 Synplify/Synplify Pro 4.1.1 Synplify/Synplify Pro的功能与特点 4.1.2 Synplify Pro的用户界面 4.1.3 Synplify Pro综合流程 4.1.4 Synplify Pro的其他综合技巧 4.2 Xilinx最早的合作伙伴 Synopsys综合工具 4.2.1 设计流程 4.2.2 FE综合优化过程 4.2.3 FST操作说明 4.3 Xilinx内嵌的综合工具 XST 4.3.1 XST综述 4.3.2 XST综合属性设置 4.3.3 使用XST的综合流程 4.4 全局时钟与第二全局时钟资源 4.4.1 全局时钟资源简介 4.4.2 常用的与全局时钟资源相关的Xilinx器件原语 4.4.3 Xilinx全局时钟资源的使用方法 4.4.4 使用Xilinx全局时钟资源的注意事项 4.4.5 第二全局时钟资源 4.5 小结 4.6 问题与思考 第5章 约束 第6章 辅助设计工具 第7章 XPower、iMPACT和ChipScope Pro 第8章 模块化设计方法 第9章 融会贯通 “运动计时表”设计

<<FPGA/CPLD设计工具>>

媒体关注与评论

FPGA/CPLD以其功能强大, 开发过程投资少、周期短, 可反复修改, 保密性能好, 开发工具智能化等特点成为当今硬件设计的首选方式之一。

目前全国约有数百万的硬件工程师在自己的设计中运用着各种型号的FPGA/CPLD。

可以说FPGA/CPLD设计技术是当今合格硬件工程师与IC工程师的必备技能之一。

<<FPGA/CPLD设计工具>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>