

<<Xilinx ISE Design Suite>>

图书基本信息

书名：<<Xilinx ISE Design Suite 10.x FPGA开发指南>>

13位ISBN编号：9787115188083

10位ISBN编号：7115188084

出版时间：2008-11

出版单位：人民邮电出版社

作者：田耘 胡彬 徐文波 等编著

页数：441

字数：694000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

前言

近10年来，FPGA行业获得了突飞猛进的发展，门数量的增加和生产工艺的进步使：FPGA走到了技术的前沿，FPGA在开发工作中的地位从胶合逻辑的配角上升到数字系统的核心处理器件。美国Xilinx公司是全球领先的可编程逻辑器件（PLD）及完整解决方案的供应商，提供了类型多样、功能强大的FPGA器件，以及软件设计工具和丰富的IP核。这些都为工业界和学术界提供了优秀的开发和应用平台。FPGA的应用非常广泛，涉及无线通信、多媒体处理、汽车和消费电子、国防和宇航工业等诸多领域。

Xilinx公司致力于为全球范围的用户提供先进的芯片和设计理念，同时也非常关注高校师生的创新活动。

Xilinx在中国多所高校成立了联合实验室，帮助在校老师和学生掌握。

FPGA的开发流程和设计方法。

今天的年轻学习者，未来将可能成为专业的开发工程师。

他们现在打好基础，掌握了学习和跟踪技术发展前沿的能力，对我国未来可编程逻辑器件产业的发展将起到积极的推动作用。

目前，Xilinx最新的开发软件为ISE Design Suite 10.1版本，这个版本首次统一了逻辑、DSP和嵌入式等不同设计领域，能够为用户提供更高的设计效率。

为了让读者更好地学习这个软件，我向读者推荐人民邮电出版社出版的《Xilinx ISE Design Suite 10.x FPGA开发指南——逻辑设计篇》和《Xilinx ISE Design Suite 10.x：FPGA开发指南——DSP、嵌入式与高速传输篇》。

这两本书详细讲解了Xilinx ISE Design Suite 10.1软件的操作方法和它在逻辑设计、DSP开发、嵌入式设计和高速传输领域的应用。

希望这两本书能让更多的FPGA学习者深入了解并掌握基于ISE Design Suite设计的基本原理和方法，并促进FPGA技术在中国的普及和推广。

<<Xilinx ISE Design Su>>

内容概要

本书以Xilinx FPGA的数字信号处理、嵌入式系统和高速传输技术的开发为主线，以深入浅出、图文并茂的方式，较为全面、详细地介绍了Xilinx公司的终极开发套件ISE Design Suite 10.1中DSP、MicroBlaze/PowerPC和MGT的操作方法，并精选了多个实例进行详细讲解。本书针对性强，内容结合了作者多年的开发经验，可满足实际工程开发的需求，具有很高的实践指导价值。

本书可作为电子和通信工程师的实际开发指导用书，也可作为高等院校通信工程、电子工程、计算机以及微电子与集成电路等相关专业的高年级本科生和研究生的教材和学习参考书。

书籍目录

第1章 DSP设计工具System Generator	1.1 System Generator概述	1.1.1 System Generator的主要用途	1.1.2 System Generator 10.1的安装与主要特征	1.1.3 System Generator入门介绍	1.2 利用System Generator进行DSP设计	1.2.1 System Generator的FPGA开发流程	1.2.2 系统级建模详解	1.2.3 Sysgen导入另一工程	1.2.4 可配置子系统的使用	1.2.5 多时钟模块的Sysgen设计	1.2.6 Sysgen中特殊模块的使用说明	1.2.7 高性能FPGA设计的注意事项	1.3 软硬件协同设计																																							
	1.3.1 3种实现方法概述	1.3.2 EDK设计中基本概念	1.3.3 如何使用EDK Processor模块	1.3.4 嵌入式设计样例	1.4 硬件协同仿真	1.4.1 硬件协同仿真平台的安装	1.4.2 硬件协同仿真的基本操作	1.4.3 以太网协同仿真接口的配置	1.4.4 共享存储器	1.4.5 基于帧结构的矢量传输	1.4.6 实时信号处理	1.5 HDL模块的导入	1.5.1 可综合的HDL代码要求	1.5.2 Configuration Wizard的配置	1.5.3 可配置M文件	1.5.4 HDL协同仿真	1.5.5 HDL模块导入样例	1.6 本章小节																																		
第2章 AccelDSP综合工具	2.1 AccelDSP概述	2.1.1 AccelDSP的安装及参数设置	2.1.2 AccelDSP 10.1新特性	2.2 可综合M文件编程规范	2.2.1 M文件整体设计架构	2.2.2 数据类型简介	2.2.3 基本操作符介绍	2.3 使用AccelDSP进行系统设计	2.3.1 AccelDSP的ISE设计流程	2.3.2 创建一个工程	2.3.3 定点模型详解	2.3.4 优化硬件架构	2.3.5 硬件接口协议	2.3.6 FIR滤波器样例	2.4 AccelWare应用介绍	2.4.1 AccelWare基本用法	2.4.2 AccelWare库	2.5 本章小节																																		
第3章 数字信号处理系统开发实例	3.1 实例介绍	3.1.1 中频信号处理单元结构	3.1.2 系统设计要	3.2 System Generator实现	3.2.1 设计方案	3.2.2 工程模块介绍	3.2.3 实例仿真验证	3.3 AccelDSP实现	3.3.1 设计方案	3.3.2 AccelDSP实现详解	3.3.3 实例仿真验证	3.4 本章小节	第4章 基于FPGA的可编程嵌入式开发技术	4.1 可配置嵌入式系统(EDK)介绍	4.1.1 基于FPGA的可编程嵌入式开发系统	4.1.2 Xilinx公司的解决方案	4.1.3 EDK 10.1特征小结	4.2 Xilinx嵌入式开发系统组成介绍	4.2.1 片内微处理器软核MicroBlaze	4.2.2 片内微处理器PowerPC	4.2.3 常用总线结构	4.2.4 IP核以及设备驱动	4.2.5 系统设计方案	4.3 EDK软件基本介绍	4.3.1 EDK的介绍与安装	4.3.2 EDK设计的实现流程	4.3.3 EDK的文件管理架构	4.4 XPS软件的基本操作	4.4.1 XPS的启动	4.4.2 利用BSB创建新工程	4.4.3 XPS的用户界面	4.4.4 XPS的目录结构与硬件平台	4.4.5 在XPS中加入IP Core	4.4.6 在XPS中定制用户设备的IP	4.4.7 IP外设的API函数查阅和使用方法	4.5 XPS软件的高级操作	4.5.1 XPS的软件输入	4.5.2 XPS中的设计仿真	4.5.3 将EDK设计作为ISE设计的子系统	4.5.4 XPS工程的实现和下载	4.5.5 在线调试工具	4.5.6 XPS中ChipScope的使用	4.6 SDK软件的操作说明	4.6.1 SDK的用户界面	4.6.2 SDK的基本操作	4.6.3 SDK的调试与运行操作	4.7 嵌入式操作系统Xilkernel	4.7.1 嵌入式操作系统的基本知识	4.7.2 Xilkernel操作系统	4.7.3 可加载库的说明	4.7.4 Xilkernel的开发流程	4.8 本章小结
第5章 以太网接口的FPGA实现	5.1 以太网技术基础	5.1.1 以太网技术简介	5.1.2 TCP/IP	5.1.3 因特网的结构和路由	5.1.4 因特网地址以及地址映射	5.2 以太网接口的硬件设计方案	5.2.1 整体实施方案	5.2.2 硬件接口描述	5.3 以太网接口的MicroBlaze实现	5.3.1 DM9000的软、硬件驱动	5.3.2 基于MicroBlaze完成以太网接口的开发	5.4 本章小结	第6章 基于FPGA的高速数据连接技术	6.1 高速数据连接功能简介	6.1.1 高速数据传输的背景	6.1.2 Xilinx公司高速连接功能的解决方案	6.2 实现吉比特高速串行I/O的相关技术	6.2.1 吉比特高速串行I/O的特点和应用	6.2.2 吉比特高速串行I/O系统的组成	6.2.3 吉比特高速串行I/O的设计要点	6.3 Rocket I/O高速串行组件	6.3.1 Rocket I/O技术简介	6.3.2 Aurora协议	6.3.3 Virtex 2 Pro系列Rocket I/O硬核模块	6.3.4 Virtex 5系列Rocket I/O GTP硬核模块	6.4 本章小结	第7章 Rocket I/O的开发实例	7.1 Rocket I/O GTP入门操作实例	7.2 PCI Express端点接口设计	7.2.1 PCI Express技术综述	7.2.2 Xilinx PCI Express端点模块	7.2.3 PCI Express端点接口示例解读	7.3 本章小结	参考文献																		

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>