

图书基本信息

书名：<<基于Altera FPGA/CPLD的电子系统设计及工程实践>>

13位ISBN编号：9787115209986

10位ISBN编号：7115209987

出版时间：2009-9

出版时间：人民邮电出版社

作者：刘延飞 等编著

页数：405

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

前言

Altera公司自1983年发明世界上第一个可编程逻辑器件以来，一直站在可编程逻辑技术创新发展的前沿，并于2008年正式推出全球首批40nm FPGA产品——Stratix IV GX，确立了其在全球FPGA技术领域的领导地位。

Altera将可编程逻辑器件、软件工具、IP和技术服务结合在一起，为广大的用户提供高价值的可编程解决方案。

与昂贵的高风险ASIC开发和不灵活的ASSP以及数字信号处理器相比，该方案能够迅速将产品推向市场，具有明显的优势。

因此，在通信、工业控制、汽车电子、广播、医疗设备、消费类电子、计算机和存储、军事和航空航天、测试和测量技术等领域，该方案获得了越来越多的应用。

广大工程师对该方案非常青睐，并迫切希望掌握该方案。

各地有关Altera产品和技术的培训班也应运而生，如雨后春笋般相继推出，为推广和普及Altera可编程解决方案起了很大的作用。

本书作者不仅具有深厚的可编程逻辑理论知识，而且使用Altera产品多年，具有丰富的实践经验。

本书内容阐述得系统透彻，图文并茂，语言方面深入浅出，通俗易懂，并讲解了大量应用实例和设计案例。

因此本书既可作为广大工程师学习Altera FPGA / CPLD的参考书，也可作为培训机构的培训教材或高校相关专业的教科书。

近年来，全国大学生电子设计大赛在中国蓬勃开展，受到广大大学生的喜爱。

越来越多的学生选用Altera产品参赛并取得优异的成绩。

Altera每年也在中国举办亚洲创新大赛，报名参赛队数量呈几何级数增长。

通过竞赛，同学们不仅在校期间就掌握了应用Altera.可编程解决方案完成项目设计的能力，也为就业打下了扎实的基础，并引起业界的高度重视。

本书作者指导学生参加电子设计大赛多年，积累了丰富的经验，并把心得、实例融入到本书。

因此，本书也是一本难得的指导学生参加电子设计大赛的培训教材。

再次感谢本书作者的辛勤劳动，他们的成果为广大的工程师和学生掌握Altera.可编程解决方案提供了一条捷径！

内容概要

本书以Altera公司的FPGA/CPLD芯片为主，详细介绍了Altera FPGA/CPLD特点、Altera Quartus II 8.1软件开发环境和VHDL语言，并以FPGA常用设计模块、电子设计大赛应用、机器人控制及单片机接口、视频控制接口等设计为例，由浅入深地详述了如何应用FPGA/CPLD进行电子设计，同时介绍了基于FPGA的SoPC系统设计和FPGA在DSP中的系统设计与调试。

书中的源程序已经过实例验证，读者可以直接应用于自己的设计。

本书是作者根据自己多年的教学、科研(特别是指导电子设计大赛和机器人大赛)工作实践经验，同时参照国内外FPGA/CPLD应用设计成果，从实用角度出发编写的。

本书的特点是所编内容新颖、全面，力求通俗易懂，是一本具有实用性、启发性、信息性的综合工具书。

本书适合FPGA初学者和自学者学习参考，对有一定经验的电子工程技术人员也有实用参考价值。
本书也可作为高校电子、通信、计算机、信息等相关专业的教学参考用书。

书籍目录

第1章 可编程逻辑器件	1.1 可编程逻辑器件的发展历程	1.2 Altera CPLD/FPGA	1.2.1
MAX系列	1.2.2 Cyclone器件系列——低成本的FPGA	1.2.3 Arria系列——高性价比FPGA	
1.2.4 Stratix系列——高端FPGA	第2章 Quartus 8.1软件应用基础	2.1 Quartus	
概述	2.2 Quartus 特性	2.2.1 Quartus 7.2软件特性	2.2.2 Quartus 8.0的特点
	2.2.3 Quartus 8.0订购版和网络版软件的区别	2.2.4 Quartus 8.1的特点	2.3
Quartus 8.1软件系统的安装和运行	2.3.1 Quartus 8.1软件系统配置	2.3.2 安装过程	
2.3.3 启动运行和许可文件安装	2.4 Quartus 8.1软件系统的用户界面	2.4.1 标题	
栏	2.4.2 菜单栏	2.4.3 工具栏	2.4.4 工程导航器
	2.4.5 状态显示窗口	2.4.6 消息显示窗口	2.4.7 工程工作区
设计流程	2.5 Quartus 软件设计流程及方法	2.5.1	
3.1.1 文字规则	3.1.2 数据对象与数据类型	3.1.3 运算操作符与表达式	3.2
VHDL语言的基本结构	3.2.1 基本结构	3.2.2 实体	3.2.3 结构体
和程序包	3.2.4 库	3.3 VHDL语言的基本语句	3.3.1 顺序语句
属性定义与描述	3.3.2 并行语句	3.3.3	
风格	3.4 VHDL语言的描述风格	3.4.1 行为描述风格	3.4.2 数据流描述
风格	3.4.3 结构描述风格	3.4.4 混合描述风格	第4章 Quartus 工程设计
基于原理图的工程设计	4.1 基于原理图的工程设计	4.2 基于VHDL语言的文本工程设计	4.3 基于状态机的工程设计
基于LPM宏功能模块的工程设计	4.4 基于LPM宏功能模块的工程设计	4.5 基于混合模式的工程设计	第5章 FPGA工程经典模块实战
5.1 分频器的设计	5.1.1 二进制分频器设计	5.1.2 偶数次分频器设计
第6章 基于FPGA的单片机外围电路设计实例	第7章 电子设计大赛实例——基于DDS的正弦信号发生器	第8章 基于FPGA的视频监视系统设计	第9章 RoboCup大赛实践——轮系码盘反馈系统设计
第10章 Nios快速体验——直接用FPGA实现32位CPU	第11章 DSP Builder设计应用	第12章 经典第三方工	
具介绍与实践	参考文献		

章节摘录

插图：1.信号监测器模块信号监测器用于对RS.232的输入信号进行实时监测，一但发现新的数据，立即通知UART内核。

2.移位寄存器模块移位寄存器的作用是存储输入或者输出的数据。

当uART接收RS·232输入时，移位寄存器在波特率模式下采集RS-232输入信号，并且保存结果；当UART进行RS-232输出时，UART内核首先将数据加载到移位寄存器内，再使移位寄存器在波特率模式下将数据输出到RS.232输出端口上。

3.波特率发生器模块由于RS.232传输必定是工作在某种波特率下，比如9600，为了便于和RS-232总线进行同步，必须产生符合。

RS.232传输波特率的时钟，这就是波特率发生器的功能。

4.奇偶校验器模块奇偶校验器模块的功能是根据奇偶校验的设置和输入数据计算出相应的奇偶校验位，它是通过纯组合逻辑实现的。

5.总线选择模块总线选择模块用于选择奇偶校验的输入是数据发送还是数据接收总线。

在接收数据时，总线选择模块将数据接收连接到奇偶校验器的输入端，来检查已接受数据的奇偶校验位是否正确；而在发送数据时，总线选择模块将数据发送总线连接到奇偶校验器的输入端，UART内核模块能够获取并且保存待发送序列所需的奇偶校验位。

6.计数器模块计数器模块的功能是记录串行数据发送或者接收的数目，在计数到某数值时通知UART内核模块。

7.UART内核模块UART内核模块是整个设计的核心。

在数据接收的时候，UART内核负责控制波特率发生器和移位寄存器，使得移位寄存器在波特率时钟的驱动下同步地接收并且保持RS—232接收端口上的串行数据。

在数据发送时，UART内核模块首先根据待发送的数据和奇偶校验位的设置产生完整的发送序列（包括起始位、数据位、奇偶校验位和停止位），之后控制移位寄存器将序列加载到移位寄存器的内部寄存器里，最后再控制波特率发生器驱动移位寄存器数据串行输出。

编辑推荐

因此《基于Altera FPGA/CPLD的电子系统设计及工程实践》既可作为广大工程师学习Altera FPGA / CPLD的参考书，也可作为培训机构的培训教材或高校相关专业的教科书。近年来，全国大学生电子设计大赛在中国蓬勃开展，受到广大大学生的喜爱。越来越多的学生选用Altera产品参赛并取得优异的成绩。

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>