

<<数字集成电路设计>>

图书基本信息

书名：<<数字集成电路设计>>

13位ISBN编号：9787115244123

10位ISBN编号：711524412X

出版时间：2011-1-1

出版时间：人民邮电出版社

作者：凯斯林

页数：660

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<数字集成电路设计>>

内容概要

《数字集成电路设计：从VLSI体系结构到CMOS制造》从架构和算法讲起，介绍了功能验证、vhdl建模、同步电路设计、异步数据获取、能耗与散热、信号完整性、物理设计、设计验证等必备技术，还讲解了vlsi经济运作与项目管理，并简单阐释了cmos技术的基础知识，全面涵盖了数字集成电路的整个设计开发过程。

本书既可以作为高等院校微电子、电子技术等相关专业高年级师生和研究生的参考教材，也可供半导体行业工程师参考。

<<数字集成电路设计>>

作者简介

Hubert Kaeslin 1985年于瑞士苏黎世联邦理工学院获得博士学位，现为该校微电子设计中心的负责人，具有20多年教授VLSI的丰富经验。

张盛 1999年毕业于清华大学电子工程系，获得工学学士学位；2004年毕业于清华大学微电子学研究所，获得工学博士学位。

目前是清华大学深圳研究生院现代通信实验室教师，并担任智能传感工程研究中心副主任。

戴宏宇 1998年毕业于清华大学电子工程系，获得工学学士学位；2003年毕业于清华大学微电子学研究所，获得工学博士学位。

现就职于意法—爱立信半导体北。

<<数字集成电路设计>>

书籍目录

第1章 微电子学导引 1.1 经济的影响 1.2 概念和术语 1.2.1 吉尼斯纪录的视角 1.2.2 市场视角 1.2.3 生产的视角 1.2.4 设计工程师的视角 1.2.5 商业的视角 1.3 数字vlsi设计流程 1.3.1 y图, 数字电子系统的地图 1.3.2 vlsi设计的主要阶段 1.3.3 单元库 1.3.4 电子设计自动化软件 1.4 fpl 1.4.1 配置技术 1.4.2 硬件资源的结构 1.4.3 商业产品 1.5 问题 1.6 附录 i : 逻辑系列的简明术语表 1.7 附录ii : 用图表汇编电路有关的术语 第2章 从算法到架构 2.1 架构设计的目标 2.2 两种相对的架构 2.2.1 算法的什么性质使得它适合专用的vlsi架构 2.2.2 在相对的架构中间有很大的空间 2.2.3 通用处理单元和专用处理单元的联合 2.2.4 协处理器 2.2.5 专用指令集处理器 2.2.6 可配置计算 2.2.7 可扩展指令集处理器 2.2.8 摘要 2.3 vlsi架构设计的变换方法 2.3.1 算法领域的再建模空间 2.3.2 架构领域的再建模空间 2.3.3 系统工程师和vlsi设计师必须通力合作 2.3.4 描述处理算法的图示方法 2.3.5 同形架构 2.3.6 架构选择的优缺点 2.3.7 计算周期与时钟周期 2.4 组合运算的等价变换 2.4.1 共同的前提 2.4.2 迭代分解 2.4.3 流水线 2.4.4 复制 2.4.5 时间共享 2.4.6 结合变换 2.4.7 其他代数变换 2.4.8 摘要 2.5 临时数据存储的方法 2.5.1 数据访问模式 2.5.2 可用的存储器配置和面积占用 2.5.3 存储容量 2.5.4 片外的连线和成本 2.5.5 延迟和时序 2.5.6 摘要 2.6 非递归计算的等价变换 2.6.1 重定时 2.6.2 回顾流水线 2.6.3 脉动变换 2.6.4 回顾迭代分解和时间共享 2.6.5 回顾复制 2.6.6 摘要 2.7 递归计算的等价变换 2.7.1 反馈的障碍 2.7.2 展开第一阶循环 2.7.3 更高阶的循环 2.7.4 时变的循环 2.7.5 非线性或一般的循环 2.7.6 流水线交织不是等价变换 2.7.7 摘要 2.8 变换方法的推广 2.8.1 推广到其他细节层次 2.8.2 串行位架构 2.8.3 分布式算法 2.8.4 推广到其他代数结构 2.8.5 摘要 2.9 结论 2.9.1 总结 2.9.2 从能量角度看非常好的架构选择 2.9.3 评估架构选择的指南 2.10 问题 2.11 附录i : 代数结构的词汇表概要 2.12 附录ii : vlsi子函数的面积和延时数据 第3章 功能验证 3.1 如何建立有效的功能规格说明 3.1.1 形式化的规格说明 3.1.2 快速原型 3.2 制定适合的仿真策略 3.2.1 需要什么条件才能在仿真中发现设计缺陷 3.2.2 仿真和响应检查必须自动发生 3.2.3 彻底的验证仍然是个难以达到的目标 3.2.4 所有的局部验证的技术都有各自的缺陷 3.2.5 从多个来源搜集测试用例会有帮助 3.2.6 基于断言的验证也有帮助 3.2.7 把测试开发和电路设计分开也有帮助 3.2.8 虚拟原型有助于产生期望的响应 3.3 在整个设计周期里重用相同的功能量规 3.3.1 处理激励和期望响应可选方法 3.3.2 模块化的测试平台设计 3.3.3 激励和响应明确定义的时间表 3.3.4 略过冗余的仿真序列降低运行次数 3.3.5 抽象到对更高层次数据的更高层次处理 3.3.6 在多个电路模型之间吸收延迟变化 3.4 结论 3.5 问题 3.6 附录i : 功能验证的形式方法 3.7 附录ii : 为仿真和测试推导一个前后一致的时间表 第4章 使用vhdl为硬件建模 4.1 动机 4.1.1 为什么要做硬件综合 4.1.2 vhdl还有哪些替代者 4.1.3 ieee 1076标准的起源和目标是什么 4.1.4 为什么要费力去学硬件描述语言 4.1.5 议程 4.2 关键概念和vhdl结构 4.2.1 电路层次和连接 4.2.2 并行进程和进程交互 4.2.3 离散信号代替电信号 4.2.4 基于事件的时间概念用于控制仿真 4.2.5 模型参数化工具 4.2.6 从编程语言借用的概念 4.3 把vhdl用于硬件综合 4.3.1 综合概述 4.3.2 数据类型 4.3.3 寄存器、有限状态机和其他时序子电路 4.3.4 ram、rom和其他宏单元 4.3.5 必须在网表级别控制的电路 4.3.6 时序约束 4.3.7 关于综合的限制和警告 4.3.8 如何逐步建立寄存器传输级模型 4.4 把vhdl用于硬件仿真 4.4.1 数字仿真的要素 4.4.2 一般测试模块解析 4.4.3 改编来适应手边的设计问题 4.4.4 ieee 1076.4 vital模型标准 4.5 小结 4.6 问题 4.7 附录i : 关于vhdl的书籍和网页 4.8 附录ii : 相关的扩展和标准 4.8.1 受保护的共享变量ieee 1076a 4.8.2 模拟和混合信号扩展ieee 1076.1 4.8.3 实数和复数的数学包ieee 1076.2 4.8.4 算术包ieee 1076.3 4.8.5 指定作为综合的语言子集ieee 1076.6 4.8.6 标准延时格式 (sdf) ieee 1497 4.8.7 类型转换函数的一个便捷的汇编 4.9 附录iii : vhdl模型的例子 4.9.1 组合电路模型 4.9.2 mealy、moore和medvedev状态机 4.9.3 状态化简和编码 4.9.4 仿真测试平台 4.9.5 使用不同厂商的vhdl工具 第5章 同步电路设计情况 5.1 引言 5.2 控制状态改变的重要选择 5.2.1 同步时钟 5.2.2 异步时钟 5.2.3 自定时时钟 5.3 为什么在vlsi中严格的时钟方案绝对必要 5.3.1 冒险的危险 5.3.2 同步时钟的优缺点 5.3.3 按需提供时钟不是vlsi的选择 5.3.4 完全自定时的时钟通常也不是个选择 5.3.5 系统时钟的混合方案 5.4 同步电路设计的注意事项 5.4.1 第一条指导原则 : 分离信号种类 5.4.2 第二条指导原则 : 允许电路在时钟到达前稳定 5.4.3 更详细的同步设计规则 5.5 结论 5.6 问题 5.7 附录 : 关于识别信号种类 5.7.1 信号种类 5.7.2 有效电平 5.7.3 波形的信息 5.7.4 三态性能 5.7.5 输入、输出和双向端点 5.7.6 当前状态与下一个状态 5.7.7 句法惯例 5.7.8 关于vhdl中的大写和小写字母的注释 5.7.9 关于名字跨eda平台可移植性的注释 第6章 同步电路的时钟 6.1 时钟分配的困难是什么 6.1.1 议程 6.1.2 时钟分配有关的时间量 6.2 一个电路可

<<数字集成电路设计>>

以承受多大的偏移和抖动 6.2.1 基本知识 6.2.2 单边沿触发一相时钟 6.2.3 双边沿触发的一相时钟 6.2.4 对称的电平敏感两相时钟 6.2.5 非对称的电平敏感两相时钟 6.2.6 一线电平敏感两相时钟 6.2.7 电平敏感一相时钟和行波流水线 6.3 如何把时钟偏移保持在紧密的范围内 6.3.1 时钟波形 6.3.2 集中式时钟缓冲器 6.3.3 分布式时钟缓冲器树 6.3.4 混合式时钟分布网络 6.3.5 时钟偏移分析 6.4 如何实现友好的输入/输出时序 6.4.1 友好的和不友好的i/o 时序对比 6.4.2 时钟分布延时对i/o时序的影响 6.4.3 ptv变化对i/o时序的影响 6.4.4 寄存器输入和输出 6.4.5 在输入端人为增加组合延时 6.4.6 用提前的时钟驱动输入寄存器 6.4.7 从最慢的器件中抽出一个时钟域时钟 6.4.8 通过pll和dll实现“零延时”时钟分布 6.5 如何正确地实现门控时钟 6.5.1 传统的带使能反馈型寄存器 6.5.2 天然的和不可靠的门控时钟方案 6.5.3 某些情况下可行的简单门控时钟方案 6.5.4 可靠的门控时钟方案 6.6 小结 6.7 问题 第7章 异步数据采集 7.1 动机 7.2 向量采集的数据一致性问题 7.2.1 简单的并行位同步 7.2.2 单位距离编码 7.2.3 交叉向量的消除 7.2.4 握手 7.2.5 部分握手 7.3 标量采集的数据一致性问题 7.3.1 完全没有同步 7.3.2 多地点同步 7.3.3 单地点同步 7.3.4 由慢时钟同步 7.4 同步器的亚稳态行为 7.4.1 边际触发及其如何回到确定状态 7.4.2 对电路功能的影响 7.4.3 一个评价同步器可靠性的统计模型 7.4.4 准同步接口 7.4.5 亚稳态行为的抑制 7.5 小结 7.6 问题 第8章 门级和晶体管级设计 8.1 cmos逻辑门 8.1.1 作为开关的mosfet 8.1.2 反相器 8.1.3 简单的cmos门电路 8.1.4 复合门 8.1.5 有高阻抗能力的门电路 8.1.6 奇偶校验门电路 8.1.7 加法器片 8.2 cmos 双稳态 8.2.1 锁存器 8.2.2 功能锁存器 8.2.3 单边沿触发的触发器 8.2.4 所有触发器的根源 8.2.5 双边沿寄存器 8.2.6 摘要 8.3 cmos片上存储器 8.3.1 sram 8.3.2 dram 8.3.3 其他的区别和共同点 8.4 cmos的电学精巧设计 8.4.1 纽扣 8.4.2 施密特触发器 8.4.3 打结单元 8.4.4 填充单元 8.4.5 电平位移器和输入/输出缓冲器 8.4.6 数字可调延时线 8.5 陷阱 8.5.1 总线和三态节点 8.5.2 传输门和其他双向元件 8.5.3 可靠的设计意味什么 8.5.4 微处理器的接口电路 8.5.5 机械接触 8.5.6 总结 8.6 问题 8.7 附录i：mosfet电学模型概要 8.7.1 命名和计算约定 8.7.2 sah模型 8.7.3 shichman-hodges模型 8.7.4 指数律模型 8.7.5 2阶效应 8.7.6 晶体管模型通常不描述的效应 8.7.7 结论 8.8 附录：bjt 第9章 能量效率与热量排除 9.1 cmos电路中能量消耗在何处 9.1.1 电容负载的充电和放电 9.1.2 交变电流 9.1.3 阻性负载 9.1.4 泄漏电流 9.1.5 总能量消耗 9.1.6 cmos电压缩放 9.2 如何提高能量效率 9.2.1 一般准则 9.2.2 如何降低动态消耗 9.2.3 如何减少漏电流 9.3 热传导与热量排除 9.4 附录i：节点电容的来源 9.5 附录ii：非常规方法 9.5.1 亚阈值逻辑 9.5.2 电压摆幅减小技术 9.5.3 绝热逻辑 第10章 信号完整性 10.1 引言 10.1.1 噪声如何进入到电子电路中 10.1.2 噪声如何影响数字电路 10.1.3 议程 10.2 串扰 10.3 地弹与电源低落 10.3.1 源于公共串联阻抗的耦合机制 10.3.2 开关大电流源自何处 10.3.3 地弹的影响有多严重 10.4 如何减轻地弹 10.4.1 降低有效串联阻抗 10.4.2 隔离污染者与潜在的受害者 10.4.3 避免过大的翻转电流 10.4.4 确保噪声容限 10.5 小结 10.6 问题 10.7 附录：2阶近似的推导 第11章 物理设计 11.1 议程 11.2 导电层和它们的特性 11.2.1 几何特性与版图规则 11.2.2 电学性质 11.2.3 层间连接 11.2.4 导电层的典型功能 11.3 基于单元的后端设计 11.3.1 平面布图规划 11.3.2 确定主要的组件模块和时钟域 11.3.3 确定管脚预算 11.3.4 为所有主要的组件模块找到一个有相关性的排列 11.3.5 规划电源、时钟和信号分布 11.3.6 布局和布线 11.3.7 芯片装配 11.4 封装 11.4.1 晶圆分拣 11.4.2 晶圆测试 11.4.3 晶背面研磨和切割 11.4.4 密封 11.4.5 最终测试和分级 11.4.6 键合图与键合规则 11.4.7 先进的封装技术 11.4.8 选择封装技术 11.5 版图的细节设计 11.5.1 手工版图设计的目标 11.5.2 版图设计不是所见即所得的事情 11.5.3 标准单元版图 11.5.4 门海宏单元版图 11.5.5 sram单元的版图 11.5.6 光刻友好的版图有助于提高制造良率 11.5.7 网格，高效流行的版图排列 11.6 防止过度电性应力 11.6.1 电迁移 11.6.2 esd 11.6.3 门锁 11.7 问题 11.8 附录i：vlsi宣传的几何量 11.9 附录ii：关于工艺版图图形中扩散区的编码 11.10 附录iii：方块电阻 第12章 设计验证 12.1 发现时序问题 12.1.1 关于时序问题，仿真能告诉我们什么 12.1.2 时序验证有多大帮助 12.2 时序数据的准确程度 12.2.1 单元延时 12.2.2 互连延时和版图寄生现象 12.2.3 重点是制定切实的假设 12.3 更多的静态验证技术 12.3.1 电学规则检查 12.3.2 代码检查 12.4 版图后验证 12.4.1 设计规则检查 12.4.2 可制造性分析 12.4.3 版图抽取 12.4.4 版图与网表一致性检查 12.4.5 等价性检查 12.4.6 版图后时序验证 12.4.7 电源网格分析 12.4.8 信号完整性分析 12.4.9 版图后仿真 12.4.10 总体状况 12.5 小结 12.6 问题 12.7 附录i：单元和库特征化 12.8 附录ii：互连模型的等效电路 第13章 vlsi经济学和项目管理 13.1 议程 13.2 产业协作的模式 13.2.1 完全用标准部件组装成的系统 13.2.2 围绕着程控处理器搭建的系统 13.2.3 以现场可编程逻辑为基础设计的系统 13.2.4 以半定制asic为基础设计的系统 13.2.5 以全定制asic为基础设计的系统 13.3 asic产业内部的接口 13.3.1 ic设计数据的移交点 13.3.2 ic生产服务范围 13.4 虚拟元件 13.4.1 版权保护与给客户的信息

<<数字集成电路设计>>

13.4.2 设计重用要求更好的质量和更彻底的验证 13.4.3 许多现有的虚拟元件需要重新设计 13.4.4 虚拟元件需要跟踪服务 13.4.5 保障条款 13.4.6 交付一个完整的虚拟元件包 13.4.7 商业模式 13.5 集成电路的成本 13.5.1 电路尺寸的影响 13.5.2 生产工艺的影响 13.5.3 生产数量的影响 13.5.4 可配置性的影响 13.5.5 小节摘要 13.6 小批量生产方法 13.6.1 多项目晶圆 13.6.2 多层掩模 13.6.3 电子束光刻 13.6.4 激光加工 13.6.5 硬连线fpga和结构化asic 13.6.6 成本事务 13.7 市场方面 13.7.1 商业成功的要素 13.7.2 商业化步骤和市场重点 13.7.3 服务与产品 13.7.4 产品分级 13.8 做出选择 13.8.1 用还是不用asic 13.8.2 应该选择什么样的实现技术 13.8.3 如果没有任何东西是已知确定的, 该怎么办 13.8.4 系统公司能够承担忽视微电子技术的后果吗 13.9 成功的vlsi设计的关键 13.9.1 项目定义和市场营销 13.9.2 技术管理 13.9.3 工程学 13.9.4 验证 13.9.5 误区 13.10 附录: 在微电子领域开展业务 13.10.1 评估业务伙伴和设计套件的检查清单 13.10.2 虚拟元件供应商 13.10.3 精选一些低量生产供应商 13.10.4 成本估计的一些帮助 第14章 cmos工艺基础 14.1 mos器件物理本质 14.1.1 能带和电传导 14.1.2 半导体材料的掺杂 14.1.3 pn结、接触和二极管 14.1.4 mosfet 14.2 基本的cmos制造流程 14.2.1 cmos技术的关键特性 14.2.2 前段制造步骤 14.2.3 后段制造步骤 14.2.4 工艺监控 14.2.5 光刻 14.3 cmos工艺主旋律的变化 14.3.1 铜取代了铝作为互连材料 14.3.2 低介电常数的层间介质正在取代sio₂ 14.3.3 高介电常数栅介质要代替二氧化硅 14.3.4 应变硅和硅锗工艺 14.3.5 金属栅一定会再次流行 14.3.6 绝缘体上硅工艺 第15章 展望 15.1 cmos技术的演进路径 15.1.1 传统器件的缩放 15.1.2 寻找新的器件拓扑结构 15.1.3 隧穿mosfet 15.1.4 寻找更好的半导体材料 15.1.5 垂直集成 15.2 cmos之后还有新的机会吗 15.2.1 数据存储 15.2.2 纳米技术 15.3 技术推动力 15.3.1 所谓的行业“定律”和背后的力量 15.3.2 行业路线图 15.4 市场拉动 15.5 设计方法学的演进路线 15.5.1 生产率问题 15.5.2 架构设计的新方法 15.6 小结 15.7 6个重大的挑战 15.8 附录: 非半导体存储技术比较 附录a 基础数字电子学 附录b 有限状态机 附录c lsi设计人员的检查清单 附录d 符号和常量 参考文献 索引

<<数字集成电路设计>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>