

图书基本信息

书名：<<高速电路PCB设计与EMC技术分析>>

13位ISBN编号：9787121064111

10位ISBN编号：7121064111

出版时间：2008-5

出版时间：电子工业出版社

作者：田广锴

页数：240

字数：408000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

内容概要

高速电路具有许多特点，给PCB设计带来了电磁兼容、信号完整性、电源完整性等问题，本书通过常用PCB设计软件的应用，详细介绍了该系统组成的各个技术模块的性能特点与连接技术。

本书从高速电路的特点出发，分析高速电路与低速电路的区别，进而概括出高速电路所面临的三大问题：电磁兼容、信号完整性和电源完整性。

接下来对这些问题的来龙去脉及其危害做了详细的分析；最后，通过具体的实例将这些问题的解决方法贯穿到高速电路PCB设计的全过程之中。

本书理论体系完整、内容翔实、语言通俗易懂，实例具有很强的针对性和实用性，既适用于电子信息类专业的本科或专科教材，也可供从事高速电路工程与应用工作的科技人员参考。

书籍目录

第一篇 基础篇 第1章 高速电路PCB概述 1.1 高速信号 1.1.1 高速的界定 1.1.2 高速信号的频谱 1.1.3 高速电路与射频电路的区别 1.2 无源器件的射频特性 1.2.1 金属导线和走线 1.2.2 电阻 1.2.3 电容 1.2.4 电感和磁珠 1.3 PCB基础概念 1.4 高速电路设计面临的问题 1.4.1 电磁兼容性 1.4.2 信号完整性 1.4.3 电源完整性 第2章 高速电路电磁兼容 2.1 电磁兼容的基本原理 2.1.1 电磁兼容概述 2.1.2 电磁兼容标准 2.1.3 电磁兼容设计的工程方法 2.2 电磁干扰 2.2.1 电磁干扰概述 2.2.2 电磁干扰的组成要素 2.3 地线干扰与接地技术 2.3.1 接地的基础知识 2.3.2 接地带来的电磁兼容问题 2.3.3 各种实用接地方法 2.3.4 接地技术概要 2.4 干扰滤波技术 2.4.1 共模和差模电流 2.4.2 干扰滤波电容 2.4.3 滤波器的安装 2.5 电磁屏蔽技术 2.5.1 电磁屏蔽基础知识 2.5.2 磁场的屏蔽 2.5.3 电磁密封衬垫 2.5.4 截止波导管 2.6 PCB的电磁兼容噪声 2.6.1 PCB线路上的噪声 2.6.2 PCB的辐射 2.6.3 PCB的元器件 2.7 本章小结 第3章 高速电路信号完整性 3.1 信号完整性的基础 3.1.1 信号完整性问题 3.1.2 高速电路信号完整性问题的分析工具 3.2 传输线原理 3.2.1 PCB中的传输线结构 3.2.2 传输线参数 3.2.3 传输线模型 3.3 时序分析 3.3.1 传播速度 3.3.2 时序参数 3.3.3 时序设计目标和应用举例 3.4 反射 3.4.1 瞬态阻抗及反射 3.4.2 反弹 3.4.3 上升沿对反射的影响 3.4.4 电抗性负载反射 3.5 串扰 3.5.1 串扰现象 3.5.2 容性耦合和感性耦合 3.5.3 串扰的模型描述 3.5.4 串扰噪声分析 3.5.5 互连参数变化对串扰的影响 3.6 本章小结 第4章 高速电路电源完整性 4.1 电源完整性问题概述 4.1.1 芯片内部开关噪声 4.1.2 芯片外部开关噪声 4.1.3 减小同步开关噪声的其他措施 4.1.4 同步开关噪声总结 4.2 电源分配网络系统设计 4.2.1 PCB电源分配系统 4.2.2 电源模块的模型 4.2.3 去耦电容的模型 4.2.4 电源/地平面对应的模型 4.3 本章小结第二篇 应用篇附录A 常用导体材料的特性参数附录B 常用介质材料的特性参数附录C 变化表附录D 国际单位的前缀参考文献

章节摘录

第一篇 基础篇 第1章 高速电路PCB概述 1.1 高速信号 英特尔的创始人之一摩尔曾经预测：每隔18个月计算机的性能将翻倍，历史证明了这个预测。衡量计算机性能指标的一个重要指标就是处理器芯片的时钟频率，如图1.1所示说明了英特尔处理器时钟频率的发展趋势：大约每两年时钟频率就能提高一倍。

摩尔定律反映了半导体行业的发展趋势。

2001年半导体行业协会对未来芯片上时钟频率做了一个规划[半导体国际技术发展蓝图（ITRS）]，根据规划，随着处理器时钟频率不断增长，必然意味着系统上的数据传输速率、总线速率不断增长。

此外，其他产品如高速通信产品中的数据传输率和时钟频率也会加速提高。

因此，越来越多的电子系统设计师们将从事100 MHz频率以上的电路设计。

目前，超过一半的数字系统的时钟频率高于100 MHz。

当系统时钟频率超过50 MHz时，将出现传输线效应和信号的完整性问题；而当系统时钟频率达到120 MHz时，基于传统方法设计的PCB将无法工作，必须使用高速电路设计知识。

因此，高速电路设计已经成为现代电子系统设计师必须掌握的知识。

只有使用高速电路设计技术，才能实现设计过程的可控性。

1.1.1 高速的界定 如果一个数字系统的时钟频率达到或者超过50 MHz，而且工作在这个频率之上的电路已经占到了整个电子系统一定的分量（比如说1/3），这就称为高速电路。

实际上信号的谐波频率比信号本身的重复频率高，是信号快速变化的上升沿与下降沿引发了信号传输的非预期结果。

因此，通常约定如果走线传播延时大于20%驱动端的信号上升时间，则认为此类信号是高速信号并可能产生传输线效应。

定义了传输线效应发生的前提条件，又如何判断传播延时是否大于20%驱动端的信号上升时间呢？信号上升时间的典型值一般可通过器件手册查出，而信号的传播时间在PCB设计中由实际布线长度和传播速度决定。

例如，“FR4”板上信号传播速度大约为6in/ns（1in=2.54cm），但如果过孔多，器件引脚多，速度将降低，高速逻辑器件的信号上升时间大约为0.2 ns，则安全的走线长度将不会超过0.24in。

编辑推荐

高速电路具有许多特点，给PCB设计带来了电磁兼容、信号完整性、电源完整性等问题，《高速电路PCB设计与EMC技术分析》通过常用PCB设计软件的应用，详细介绍了该系统组成的各个技术模块的性能特点与连接技术。

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>