

<<SystemVerilog数字系统设计>>

图书基本信息

书名：<<SystemVerilog数字系统设计>>

13位ISBN编号：9787121124563

10位ISBN编号：7121124564

出版时间：2011-2

出版时间：电子工业

作者：茨沃林斯基

页数：262

译者：夏宇闻

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

## <<SystemVerilog数字系统设计>>

### 内容概要

SystemVerilog是21世纪电子设计师必须掌握的最重要的语言之一，因为它是设计 / 验证现代复杂电子系统核心芯片的至关重要的手段。

本书讲授用SystemVerilog语言设计 / 验证数字系统的基本概念和具体方法。

在介绍基本语法的基础上，阐述了如何使用RTL级的SystemVerilog构成可综合的数字电路 / 组件 / 系统，以及如何使用行为级的SystemVerilog搭建测试平台对设计进行验证。

本书针对的读者群是电子、自动化和计算机工程专业的本科生与研究生，本书也适合已经掌握Verilog和VHDL硬件描述语言的工程师自学新一代的数字系统设计 / 验证语言。

## <<SystemVerilog数字系统设计>>

### 作者简介

作者：（英国）茨沃林斯基（Mark Zwolinski）译者：夏宇闻Mark Zwolinski是英国南安普顿大学电子与计算机科学学院的全职教授。

他是Digital system Design with VHDL一书的作者，该书已被翻译成四种语言，并被全世界的许多所大学选为教材。

Zwolinski教授在技术杂志上曾发表过120多篇论文。

20多年来，他一直教授大学本科生和研究生的数字设计与设计自动化等课程。

# <<SystemVerilog数字系统设计>>

## 书籍目录

### 第1章 序言

- 1.1 现代数字设计
- 1.2 使用硬件描述语言进行设计
  - 1.2.1 设计自动化
  - 1.2.2 什么是SystemVerilog
  - 1.2.3 什么是VHDL
  - 1.2.4 仿真
  - 1.2.5 综合
  - 1.2.6 可重用性
  - 1.2.7 验证
  - 1.2.8 设计流程
- 1.3 CMOS技术
  - 1.3.1 逻辑门
  - 1.3.2 ASIC(专用集成电路)和FPGA(现场可编程门阵列)
- 1.4 可编程逻辑
- 1.5 电气属性
  - 1.5.1 噪声容限
  - 1.5.2 扇出

总结

参考资料

练习题

### 第2章 组合逻辑设计

- 2.1 布尔代数
  - 2.1.1 值
  - 2.1.2 操作符
  - 2.1.3 逻辑门的真值表
  - 2.1.4 布尔代数的定律
  - 2.1.5 德摩根定理
  - 2.1.6 香农扩展定理
- 2.2 逻辑门
- 2.3 组合逻辑设计
  - 2.3.1 逻辑最小化
  - 2.3.2 卡诺图
- 2.4 时序
- 2.5 数字码
  - 2.5.1 整数
  - 2.5.2 定点数
  - 2.5.3 浮点数
  - 2.5.4 文字数字字符
  - 2.5.5 格雷码
  - 2.5.6 奇偶校验位

总结

参考资料

练习题

### 第3章 使用SystemVerilog门模型描述的组合逻辑

## <<SystemVerilog数字系统设计>>

- 3.1 模块和文件
- 3.2 标识符、空格和注释
- 3.3 基本门模型
- 3.4 简单的网表
- 3.5 逻辑值
- 3.6 连续赋值语句
  - 3.6.1 SystemVerilog操作符
- 3.7 延迟
- 3.8 参数
- 3.9 测试平台
- 总结
- 参考资料
- 练习题

### 第4章 组合逻辑构件

- 4.1 多路选择器
  - 4.1.1 2选1多路选择器
  - 4.1.2 4选1多路器
- 4.2 译码器
  - 4.2.1 2到4译码器
  - 4.2.2 参数化的译码器
  - 4.2.3 七段译码器
- 4.3 优先编码器
  - 4.3.1 无关项和唯一性问题
- 4.4 加法器
  - 4.4.1 功能模型
  - 4.4.2 逐位进位加法器
  - 4.4.3 任务
- 4.5 奇偶校验器
- 4.6 三态缓冲器
  - 4.6.1 多值逻辑
- 4.7 组合逻辑块的测试平台
- 总结
- 参考资料
- 练习题

### 第5章 时序逻辑块的SystemVerilog模型

### 第6章 同步时序设计

### 第7章 复杂时序系统的设计

### 第8章 测试平台的编写

### 第9章 SystemVerilog的仿真

### 第10章 SystemVerilog的综合

### 第11章 数字系统的测试

### 第12章 可测试性设计

### 第13章 异步时序电路设计

### 第14章 与模拟电路的接口

### 附录A SystemVerilog与Verilog的关系

### 部分练习题的参考答案

### 参考文献



## 章节摘录

版权页：插图：1.1 现代数字设计传统上，电子电路设计被划分成两个主要的领域，即模拟、数字两大领域。

这两大领域通常分为两门课程讲授，因此电子工程师往往只擅长于其中之一。

在这两个设计领域中，还有更细的专业分类，例如射频模拟设计、数字集成电路设计等。

当这两个领域发生交叉时，还有混合信号设计。

此外，当然在嵌入式系统设计中，软件工程的作用也越来越重要。

在日常消费品中，数字电子产品变得日益重要。

例如汽车已安装了复杂的控制系统，大多数家庭都拥有个人计算机。

过去被认为是模拟电路的日常用品，如收音机、电视和电话都已经数字化。

小巧的数字硬盘和MP3已经取代了用模拟信号记录声音的乙烯基唱片。

随着这些变化，产品的生命周期已经缩短。

在现今的百货商店里，很可能不到一年的时间，所有的数字电子产品已经被新型号产品所替代。

1.2 使用硬件描述语言进行设计  
1.2.1 设计自动化为了跟上迅速变化的形势，电子产品的设计周期必须尽量缩短。

模拟电路设计仍是一个高工资的专门行业。

数字设计已非常依赖于计算机辅助设计（CAI），即设计自动化（DA）或电子设计自动化（EDA）工具。

EDA工具可以完成两个任务综合（synthesis）：即把设计规范自动地翻译成为设计的具体实现；2）仿真（simulation），即运行设计规范的模型或具体的实现，以验证设计的正确操作。

必须把设计从设计者头脑中的思考转变为：EDA工具能理解的形式，这样才能进行综合和仿真。

用线路图绘制软件包，可以把设计绘制成综合和仿真工具能理解的形式。

这种方法称为线路图输入方法（schematiccapture）。

另外一种方法是将设计表示为与软件程序十分类似的文本形式。

数字电路的文本描述可以用修改后的编程语言（如C语言）或者硬件描述语言（HDL）来表示。

在过去的30多年时间里，曾经出现过许多种硬件描述语言。

目前最常用的两种硬件描述语言是Verilog和VHDL。

采用标准的硬件描述语言十分重要，因为由不同工具厂商所提供的不同CAD工具均支持标准的硬件描述语言。

在Verilog和VHDL出现之前，每个工具都有其自己的硬件描述语言，不同硬件描述语言之间的转换需要花费不少精力，例如想要用这个厂商提供的仿真工具来验证从另外一个厂商提供的综合工具产生的电路网表是相当困难的。

## <<SystemVerilog数字系统设计>>

### 编辑推荐

《SystemVerilog数字系统设计》使用SystemVerilog语言进行数字设计的全面指南：概念、技术和代码。为了设计精巧的数字电路硬件，工程师首先必须使用高层次的硬件描述语言（HDL）描述电路的功能。目前功能最强大、最有用的硬件描述语言是一种称为SystemVerilog的语言，现在这种语言已成为IEEE标准。

《SystemVerilog数字系统设计》是第一本全面介绍SystemVerilog语言及讲解使用这种语言设计现代数字电路硬件技术的教材。

Mark Zwolinsk曾编写了一本十分畅销的教材——Digital System Design with VHDL。

在该书讲述方法的基础上，作者在《SystemVerilog数字系统设计》中阐述了使用SystemVerilog语言进行自动化设计的全过程，以及工程师必须了解的所有知识点，包括从建模、功能仿真、综合、时序，一直到故障仿真。

作者通过约150个实际例子（每个例子都有细心安排的语法细节和足够深度的知识点）来实现教学目标，使学生能很快掌握硬件设计和验证方法，《SystemVerilog数字系统设计》中所有的例子都可以从相关网站下载。

《SystemVerilog数字系统设计》特点：验证方法，《SystemVerilog数字系统设计》中所有的例子都可以从相关网站下载。

使用电子设计自动化工具，在CMOS工艺和可编程逻辑器件上实现数字系统。

核心建模技术：组合电路构造块、缓冲器、译码器、编码器、多路选择器、加法器和奇偶校验器。

时序电路构造块：锁存器、触发器、寄存器、计数器、存储器和时序乘法器。

有限状态机的设计：从算法状态机(ASM)图到D触发器，下一个状态和输出逻辑。

使用SystemVerilog为接口和封装建立模型。

设计测试平台：体系架构，受约束随机测试的产生，以及基于断言的验证。

RTL和FPGA综合模型描述。

理解和实现针对测试的设计(DFT)。

探索异步时序电路的反常行为。

介绍VerilogAMS和混合信号建模。

无论读者在数字设计方面是否具有老版本的Verilog或VHDL经验，《SystemVerilog数字系统设计》都将有助于发现SystemVerilog的全部功能，并充分使用其强大功能。

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>