第一图书网, tushu007.com

<<Verilog HDL数字设计与建模>>

图书基本信息

书名：<<Verilog HDL数字设计与建模>>

13位ISBN编号：9787121140938

10位ISBN编号：7121140934

出版时间：2011-8

出版时间：电子工业出版社

作者：约瑟夫·卡瓦纳

页数：579

译者：陈亦欧

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：http://www.tushu007.com

内容概要

利用 Verilog
进行数字系统设计与仿真是电子系统工程师必备的技能之一,这本书最突出的特色就是对数字电路系统的工程仿真和设计技术进行了深入的讨论。
由Joseph
Cavanagh编著的《Verliog HDL数字设计与建模》内容涵盖了电路建模、基本语法与电路、典型数学运算、复杂的编码/解码/
纠错电路、各类时序状态机和完整的流水线 RISC 处理器的设计等。

书中给出的所有工程设计实例均为可独立运行及验证的实用电路模块,并给出了所有例子的完整Verilog源代码、testbench、仿真结果和仿真波形。
附录中还给出了部分课后习题的参考答案。

《Verliog
HDL数字设计与建模》可作为电子信息类和计算机科学等专业的高年级本科生与研究生的教材,对于初步接触过数字逻辑设计的相关领域的工程师也是一本很有价值的参考书。

书籍目录

第1章　简介
1.1　HDL的历史
1.2　Verilog HDL
1.2.1　IEEE标准
1.2.2　特性
1.3　断言
第2章　概述
2.1　设计方法
2.2　模16同步计数器
2.3　4比特行波进位加法器
2.4　模块和端口
2.4.1　设计一个用于仿真的testbench
2.4.2　结构定义
2.5　数据流建模简介
2.5.1　二输入异或门
2.5.2　带延迟信息的四个二输入与门
2.6　行为级建模简介
2.6.1　三输入或门
2.6.2　4比特加法器
2.6.3　模16同步计数器
2.7　结构化建模简介
2.7.1　实现积之和式
2.7.2　全加器
2.7.3　4比特行波进位加法器
2.8　混合建模简介
2.8.1　全加器
2.9习题
第3章　语言元素
3.1　注释
3.2　标识符
3.3　关键字
3.3.1　双向门
3.3.2　电荷储存强度
3.3.3　CMOS门
3.3.4　组合逻辑门
3.3.5　连续赋值
3.3.6　数据类型
3.3.7　模块说明
3.3.8　MOS开关
3.3.9　多路分支
3.3.10　命名的事件
3.3.11　参数
3.3.12　端口声明
3.3.13　过程块结构
3.3.14　过程连续赋值语句

3.3.15　过程控制
3.3.16　上拉和下拉门
3.3.17　信号强度
3.3.18　specify块
3.3.19　任务和函数
3.3.20　三态门
3.3.21　时序控制
3.3.22　用户自定义原语
3.4　值集
3.5　数据类型
3.5.1　线型数据类型
3.5.2　寄存器数据类型
3.6　编译器指令
3.7　习题
第4章　表达式
4.1　操作数
4.1.1　常数
4.1.2　参数
4.1.3　线
4.1.4　寄存器
4.1.5　比特选择
4.1.6　部分选择
4.1.7　存储元件
4.2　操作符
4.2.1　算术运算操作符
4.2.2　逻辑运算操作符
4.2.3　关系运算操作符
4.2.4　相等运算操作符
4.2.5　按位运算操作符
4.2.6　缩位运算操作符
4.2.7　移位运算操作符
4.2.8　条件运算操作符
4.2.9　拼接运算操作符
4.2.10　复制运算操作符
4.3　习题
第5章　门级建模
5.1　多输入门
5.2　门延迟
5.2.1　惯性延迟
5.2.2　传输延迟
5.2.3　模块路径延迟
5.3　更多的设计实例
5.3.1　迭代网络
5.3.2　优先编码器
5.4　习题
第6章　用户自定义原语
6.1　定义用户自定义原语

6.2 组合逻辑UDP
6.2.1 卡诺图输入变量
6.3 时序的用户自定义原语
6.3.1 电平敏感UDP
6.3.2 边沿有效UDP
6.4 习题
第7章 数据流建模
7.1 连续赋值
7.1.1 三输入与门
7.1.2 积之和
7.1.3 缩位操作符
7.1.4 八进制到二进制的编码器
7.1.5 4选1选通器
7.1.6 使用条件操作符实现4选1选通器
7.1.7 4比特加法器
7.1.8 超前进位加法器
7.1.9 异步时序状态机
7.1.10 脉冲模式异步时序状态机
7.2 隐含连续赋值
7.3 延迟
7.4 习题
第8章 行为级建模
8.1 过程化结构
8.1.1 initial语句
8.1.2 always语句
8.2 过程赋值
8.2.1 等号右边的延迟
8.2.2 等号左边的延迟
8.2.3 阻塞赋值
8.2.4 非阻塞赋值
8.3 条件语句
8.4 case语句
8.5 循环语句
8.5.1 for循环
8.5.2 while循环
8.5.3 repeat循环
8.5.4 forever循环
8.6 语句块
8.6.1 顺序执行块
8.6.2 并行执行块
8.7 过程连续赋值语句
8.7.1 assign...deassign
8.7.2 force...release
8.8 习题
第9章 结构化建模
9.1 模块的例化
9.2 端口

9.2.1　未连接的端口
9.2.2　端口连接规则
9.3　设计实例
9.3.1　格雷码到二进制的转换器
9.3.2　BCD码到十进制的译码器
9.3.3　模10计数器
9.3.4　加法器/减法器
9.3.5　4功能算术和逻辑运算单元
9.3.6　加法器和高速移位器
9.3.7　阵列乘法器
9.3.8　Moore?Mealy同步时序状态机
9.3.9　Moore同步时序状态机
9.3.10　Moore异步时序状态机
9.3.11　Moore脉冲模式异步时序状态机
9.4　习题
第10章　任务和函数
10.1　任务
10.1.1　任务声明
10.1.2　任务调用
10.2　函数
10.2.1　函数声明
10.2.2　函数调用
10.3　习题
第11章　补充设计实例
11.1　约翰逊计数器
11.2　计数移位器
11.3　通用移位寄存器组
11.4　汉明码检错和纠错
11.5　布思算法
11.6　Moore同步时序状态机
11.7　Mealy　脉冲模式异步时序状态机
11.8　Mealy独热状态机
11.9　BCD码加减法器
11.9.1　BCD码加法
11.9.2　BCD码减法
11.10　流水线精简指令集计算机处理器
11.10.1　指令cache
11.10.2　指令单元
11.10.3　译码单元
11.10.4　执行单元
11.10.5　寄存器阵列
11.10.6　数据cache
11.10.7　RISC CPU的顶层
11.10.8　系统顶层
11.11　习题
附录A　事件队列
附录B　Verilog工程的步骤

第一图书网, tushu007.com

附录C　部分习题解答

编辑推荐

由Joseph Cavanagh编著的《Verliog HDL数字设计与建模》在内容涵盖了电路建模、基本语法与电路、典型数学运算、复杂的编码/解码/纠错电路、各类时序状态机和完整的流水线 RISC 处理器的设计等。

《Verliog HDL数字设计与建模》中的实例是作者根据其20多年的计算机设备设计经验精选出来的。虽然逻辑设计的方法贯穿于整本书之中，但本书的意图并不是讨论逻辑设计。

读者应该有足够的组合逻辑和时序逻辑的设计背景。

书中大量的设计实例将帮助读者彻底理解Verilog这门流行的硬件描述语言。

《Verliog HDL数字设计与建模》的读者应该是电子设计工程师、计算机工程师、计算机科学家，以及电子工程、计算机工程和计算机科学专业的在读研究生及这些专业的高年级本科生。

第一图书网, tushu007.com

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:http://www.tushu007.com