

<<VHDL大学实用教程>>

图书基本信息

书名：<<VHDL大学实用教程>>

13位ISBN编号：9787121146039

10位ISBN编号：7121146037

出版时间：2011-9

出版时间：电子工业出版社

作者：肯尼思L.肖特

页数：436

译者：乔庐峰

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<VHDL大学实用教程>>

内容概要

本书除了对语法进行全面、详尽的介绍之外，还对数字系统的仿真验证方法进行了深入讨论。全书共16章，前3章概括介绍了VHDL/PLD设计方法的特点、VHDL程序的基本结构和程序风格、测试平台以及VHDL中的信号。

第4章至第7章介绍了组合逻辑电路的设计与验证。

第8章至第11章介绍了时序电路的设计方法。

第12章至第14章介绍了子程序和程序包。

第15章讨论了如何采用层次化和模块化方法实现复杂数字系统。

第16章给出了多个具有一定规模和复杂度的程序，通过这些程序集中展现本书所重点阐述的语法要点和设计方法。

<<VHDL大学实用教程>>

作者简介

作者:(美)Kenneth L. Short

<<VHDL大学实用教程>>

书籍目录

第1章 使用VHDL和PLD进行数字系统设计

- 1.1 VHDL/PLD设计方法
- 1.2 需求分析与规范制定
- 1.3 VHDL设计描述
- 1.4 通过仿真进行验证
- 1.5 测试平台
- 1.6 功能（行为）仿真
- 1.7 可编程逻辑器件（PLD）
- 1.8 SPLD和22V10
- 1.9 目标器件的逻辑综合
- 1.10 布局布线和时序仿真
- 1.11 编程和目标器件的验证
- 1.12 VHDL / PLD设计方法的优点
- 1.13 VHDL的发展
- 1.14 VHDL在仿真和综合中的应用
- 1.15 本书的主要目标

习题

第2章 实体、结构体和编程风格

- 2.1 设计单元、库单元和设计实体
- 2.2 实体说明
- 2.3 VHDL语法定义
- 2.4 端口模式
- 2.5 结构体
- 2.6 编程风格
- 2.7 综合结果与程序风格的关系
- 2.8 抽象和综合的层次
- 2.9 层次化设计与电路的结构描述

习题

第3章 信号和数据类型

- 3.1 对象分类和对象类型
- 3.2 信号对象
- 3.3 标量类型
- 3.4 STD_LOGIC类型
- 3.5 标量文字（scalar literal）和标量常量（scalar constant）
- 3.6 复合类型
- 3.7 数组
- 3.8 无符号和有符号类型
- 3.9 复合文字和复合常量
- 3.10 整型
- 3.11 可综合的端口类型
- 3.12 操作符（算子）和表达式

习题

第4章 数据流风格的组合逻辑电路设计

- 4.1 逻辑操作符
- 4.2 数据流方式结构体中的信号赋值

<<VHDL大学实用教程>>

- 4.3 选择型信号赋值
- 4.4 布尔型及相关的操作符
- 4.5 条件（型）信号赋值
- 4.6 优先级编码器
- 4.7 输入无关项与输出无关项
- 4.8 译码器
- 4.9 查表法
- 4.10 三态缓冲器
- 4.11 避免组合（逻辑）环路
- 习题
- 第5章 行为风格的组合逻辑电路设计
 - 5.1 行为风格的结构体
 - 5.2 进程语句
 - 5.3 顺序语句
 - 5.4 case 语句
 - 5.5 if语句
 - 5.6 loop语句
 - 5.7 变量
 - 5.8 例题：奇偶校验检测器电路
 - 5.9 描述组合逻辑电路的进程综合
 - 习题
- 第6章 事件驱动的仿真
 - 6.1 仿真器类型
 - 6.2 精确化（elaboration）
 - 6.3 信号驱动器
 - 6.4 仿真器内核进程
 - 6.5 仿真初始化
 - 6.6 仿真周期
 - 6.7 信号和变量
 - 6.8 延迟
 - 6.9 延迟和组合环路
 - 6.10 多重驱动器
 - 6.11 信号属性
 - 习题
- 第7章 组合逻辑电路的测试平台
 - 7.1 设计验证
 - 7.2 组合逻辑电路的功能验证
 - 7.3 一个简单的测试平台
 - 7.4 物理类型
 - 7.5 单进程测试平台
 - 7.6 等待语句
 - 7.7 断言（assert）和报告（report）语句
 - 7.8 基于记录和查找表的测试平台
 - 7.9 计算激励和期望结果的测试平台
 - 7.10 预定义的移位操作符
 - 7.11 根据UUT的功能安排激励顺序
 - 7.12 将UUT与等效模型进行比较

<<VHDL大学实用教程>>

7.13代码覆盖率和分支覆盖率

7.14组合逻辑电路的网表验证和时序验证

7.15使用VITAL和SDF的时序模型

习题

第8章 锁存器与触发器

8.1 时序系统及其存储元件

8.2 D锁存器

8.3 检测时钟边沿

8.4 D触发器

8.5 使能（门控）触发器

8.6 其他类型的触发器

8.7 PLD中的基本存储元件

8.8 定时需求与同步输入数据

习题

第9章 多位锁存器、寄存器、计数器和存储器

9.1 多位锁存器与寄存器

9.2 移位寄存器

9.3 移位寄存式计数器

9.4 计数器

9.5 检测非时钟信号的边沿

9.6 具有微处理器接口的脉宽调制器

9.7 存储器

习题

第10章 有限状态机

10.1 有限状态机

10.2 FSM的状态图

10.3 三进程FSM的VHDL模型

10.4 创建状态图

10.5 OSE 译码器

10.6 状态编码与状态分配

10.7 状态机可靠性

10.8 禁止逻辑FSM举例

10.9 用摩尔型FSM实现的计数器

习题

第11章 ASM图和RTL设计

11.1 算法状态图

11.2 将ASM图转换成VHDL

11.3 系统结构

11.4 连续逼近寄存器设计举例

11.5 时序乘法器设计

习题

第12章 子程序

12.1 子程序

12.2 函数

12.3 过程

12.4 数组特性和非受约束数组

12.5 子程序和操作符过载

<<VHDL大学实用教程>>

12.6 类型转换

习题

第13章 程序包

13.1 包头和包体

13.2 标准程序包和实际存在的标准程序包

13.3 STD_LOGIC_1164程序包

13.4 NUMERIC_STD程序包 (IEEE STD 1076.3)

13.5 STD_LOGIC_ARITH程序包

13.6 VHDL文本输出程序包

习题

第14章 时序系统的测试平台

14.1 简单时序电路的测试平台

14.2 生成系统时钟

14.3 生成系统复位信号

14.4 同步激励的产生和监控

14.5 连续逼近寄存器的测试平台

14.6 时序系统测试平台激励的选择

14.7 使用过程产生激励

14.8 激励过程中的输出验证

14.9 总线功能建模

14.10 响应监控

习题

第15章 模块化和层次化设计

15.1 模块和层次的划分

15.2 设计单元和库单元

15.3 设计库

15.4 库单元的使用

15.5 设计实体的直接例化

15.6 元件和设计实体的间接例化

15.7 配置说明

15.8 元件连接

15.9 参数化的设计实体

15.10 参数化的模块库 (LPM)

15.11 生成语句

习题

第16章 设计实例

16.1 与微处理器兼容的正交译码器/计数器设计

16.2 正交译码/计数器的验证

16.3 参数化的正交译码/计数器

16.4 电子安全锁设计

16.5 电子安全锁的验证

16.6 RF发射器编码器的设计

习题

附录

参考文献

<<VHDL大学实用教程>>

编辑推荐

这本《VHDL大学实用教程》由Kenneth L. Shot著，乔庐峰、尹廷辉、李永成、牛焱坤等人译，本书的学习重点是数字系统的设计与实现。

VHDL作为硬件描述语言的一种，目前被广泛应用于数字系统的设计与验证之中。

可编程逻辑器件(PLD, Programmable Logic Device)目前被大量应用于数字系统的硬件设计中。

从采用VHDL设计数字逻辑电路到采用PLD实现其功能，需要多种EDA工具的支持。

这些工具可以自动完成很多原来以手工方式进行的工作。

作为VHDL/PLD设计方法学(采用VHDL完成设计，采用PLD加以具体实现)的一个重要部分，本书将对这些工具及其特点进行讨论。

<<VHDL大学实用教程>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>