

<<Cadence印刷电路板设计>>

图书基本信息

书名：<<Cadence印刷电路板设计>>

13位ISBN编号：9787121175008

10位ISBN编号：7121175002

出版时间：2012-8

出版时间：电子工业出版社

作者：吴均，王辉，周佳永 编著

页数：527

字数：877000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

## &lt;&lt;Cadence印刷电路板设计&gt;&gt;

## 前言

随着计算机、通信和消费类电子的发展，电子产品遍及了我们生活的方方面面，电子工业在全球得到了长足的发展，电子工业的发展也带动了电子设计自动化技术。

电子设计自动化技术（EDA）是在电子CAD技术基础上发展起来的计算机软件系统，是指以计算机为工作平台，融合了应用电子技术、计算机技术、信息处理及智能化技术的最新成果，进行电子产品的自动设计。

利用电子设计自动化工具，电子工程师可以从概念、算法、协议等开始设计电子系统，大量工作可以通过计算机完成，并可以将电子产品从系统设计、电路设计、性能分析到设计出IC版图、封装或PCB版图的整个过程在计算机上自动处理完成。

新的工艺决定了电子设计自动化工具的发展，同时，电子设计自动化工具也决定了电子设计的周期和设计的复杂度。

好的设计工具可以帮助客户节约大量的时间，帮助客户减少产品成熟的周期。

对今天的电子设计来说，电子产品朝着小型化、绿色设计和更加时尚的方式在发展。

iPhone 4S、iPad、云计算、4G等产品的出现，带来了更多的技术挑战。

USB 3.0的传输速率是4.8Gbps，USB 2.0的传输速率是480Mbps，可见新技术发展之快是难以想象的，采用USB 3.0传输同样大小的数据速度是USB 2.0的10倍。

新产品、新技术的出现，带动了电子工业的发展。

随着电子工业的发展，整个电子工业向小型化、低功耗、高性能的方向转变，对电子自动化设计工具要求越来越高。

如何培养电子工程师，能够满足电子设计各个环节的需要是当前电子设计领域的迫切任务。

“系统级封装设计，印刷电路板设计”丛书，主要通过实例、设计的流程的介绍和Cadence EDA工具的应用，来说明封装和印刷电路板电子设计的整个过程，帮助读者快速进入系统级封装和PCB设计领域。

本系列丛书的主要特点如下。

内容完整，体系性强：本系列丛书包括从封装设计到原理图设计、印刷电路板设计的整个硬件开发流程，并包括信号完整性分析、企业硬件设计流程数据库管理平台的建设，以及FPGA的协同设计。

理论与实践相结合：本系列丛书不仅包括实际工具的应用、设计案例和相关基础理论的论述，还结合实际的制造工艺要求、实际工程进行针对性的介绍。

邱善勤博士

“PCB设计是一个遗憾的艺术！”

”这是投身到这个领域以来我最深切的感悟。

PCB作为产品硬件开发中物理实现的关键载体，其设计交付是电、热、结构、可制造性、成本、周期等多方面需求实现的综合博弈和相互妥协的结果。

对已设计交付使用的PCB进行检视，都可发现只要某需求方降低规格，PCB可以设计得更完美。

“没有最好，只有更好！”

”我相信这是业界优秀工程师的追求和境界。

随着电子行业的蓬勃发展，现在中国不但成为了PCB的制造中心，其实也是PCB的设计中心。

要说国内PCB行业最缺什么？

我认为人，有沉淀、积累、不浮躁以及富有钻研精神的人。

在我参加的多次国内外PCB相关研讨交流活动中，最大的感触是：“我们很年轻，而国外同行多为头发花白的老者！”

”年轻代表着朝气、有闯劲，具有持续发展的潜力，后继有人；但明显缺乏与科技发展同步的沉淀与传承，基础构建薄弱。

简单、智能、安全、准确以及高清的信息交互是人们的持续追求，导致PCB设计在高速、高频、高密、高可靠性、环保等方面面临着挑战，一个个心理设计极限和认识被打破。

PCB设计仍是充满着挑战的岗位！

为了获得最优化的PCB工程解决方案，必须要培养具有扎实的综合技能和优秀的PCB设计驾驭能力

## &lt;&lt;Cadence印刷电路板设计&gt;&gt;

的PCB设计师来支撑。

PCB设计工程师人才培养的最佳途径是设计实践。

在国内电子行业蓬勃发展的大环境下，实践机会并不缺乏，而具有实践基础上的指导书籍却不多见。当我第一次看到这本书稿的标题时，本以为是常规的工具软件使用指导书，但完整阅读完后，“PCB设计工程师的红宝书！”

这是我的第一反应。

书中以Allegro PCB设计软件平台使用为架构，PCB基础设计知识介绍为辅助，并结合一博科技公司成功的实践流程、理念、经验积累，图文并茂，将PCB如何成功设计交付完整系统地呈现出来。

我认为无论是对PCB设计初学者还是经验丰富的高手的水平提升，本书都具有非常高的指导作用和参考价值。

有幸与本书的陈兰兵先生、汤昌茂先生以及其他所有的作者相识多年，他们在PCB设计这个行业上均至少奋斗了十几年，常常为极具挑战和代表性的PCB提供设计工程解决方案。

在繁忙的本职工作之余，精心打造本书，这是他们的心血结晶，也是对PCB设计行业的一种分享和回馈。

推荐此书给有志于PCB设计领域的广大读者，通过此书打开一扇门，充实和夯实中国PCB设计师队伍，共同迎接世界级的挑战！

IPC设计师理事会中国分会主席黄文强2012年5月于深圳

前言1936年奥

地利人保罗爱斯勒（Paul Eisler）第一个在收音机装置内实现了印制电路板，从而奠定了当今印制电路板的制造基础。

在这四分之三个世纪的发展过程中，随着新材料、新工艺的不断应用，相应的制造技术越来越成熟，在解决高密度互连和嵌入式元器件的实现后，似乎走到一个瓶颈阶段，而绿色环保成为当今关注的主题，但是整个印制电路板设计技术和方法却面临更多的挑战。

21世纪进入了高度信息化社会，在产业中印制电路板是一个不可缺少的重要支柱。

印制电路板是电子元器件的唯一支撑体，电子信息领域中的一切互连和装备必须依赖印制电路板得以实现。

传统印制电路板设计是以电路原理图为基础，实现电路设计者所需要的连接和实现功能。

而当今电子设备要求高性能化、多功能化和小型化，高速大容量电路设计、低功耗设计和高密度互连设计变得更加重要，从而融合多学科的印制电路板设计技术成为高端电子产品最关键技术之一，成为整个产品开发设计的一个重要环节。

因此印制电路板不是画出来的，是基于产品功能和性能要求而设计出来的，在实现产品功能和降低成本的同时，也更加注重可制造性、可测试性和可靠性设计。

尤其是近代EDA设计工具的发展，不断丰富和完善印制电路板设计理念和方法，从而把部分印制电路板设计工作提到原理图设计的前面，成为产品的系统级设计的一部分，这使印制电路板设计变得更加复杂，也显得更加重要。

另一个重要的趋势是芯片、封装和印制电路板的协同设计，从而形成紧密配合的硬件设计和物理实现的产业链。

专业的设计团队同时还面临不断缩短的设计周期压力，从而推动印制电路板设计从个人设计向平台建设的发展，印制电路板设计平台的建设也变得更加重要。

回忆中国印制电路板走过的历程，今天它已在世界印制电路板发展史上写下了光辉的一页。

2010年中国印制电路板产值近300亿美元，几乎占全球一半的市场份额，已经成为全球印制电路板第一生产大国。

而更重要的是，随着本土通信、消费电子产品公司在全球的市场飞速突破，以及全球化设计发展的推动，中国已经成为全球的印制电路板设计中心，这将推动整个行业的技术发展和设计水平提升。

本书基于Cadence Allegro最新的设计平台，通过设计行业相关专家的经验分享、实例剖析，详细介绍了整个印制电路设计的各个环节，以期对提高整个行业的设计水平有所帮助，可供广大设计工程师参考。

在此也特别对Cadence和一博科技的大力支持表示感谢！

## <<Cadence印刷电路板设计>>

本书第1~6、8~12、14、16、17章节由一博科技的吴均、汤昌茂以及一博科技相关技术专家主持编写，第13章及第15章的部分内容由周佳永编写，第7、18、19章、附录及15章的部分内容由王辉编写。在本书的编写过程中，第7章使用了系列丛书中《Allegro系统级封装设计》中黄冕编写的内容，在此内容基础上添加了PCB设计常用的电气规则约束。

第15章的PCB设计高级技巧中关于Ravel语言部分，由Cadence全球服务部门的单坚编写。这一部分也是Cadence进行二次编程的关键改变，让二次开发变得更加简单，有兴趣的工程师可以看一下。

第18章小型化部分的分类资料由沈宣江提供。

第19章射频设计，主要资料及审核由Cadence研发总部专家肖定如完成。

本书可以说是一本综合使用Allegro PCB Editor的参考书，随书附带了一张光盘，主要是书中用的实验数据和由库源电气提供的使用视频，还提供了由北京耀创和东好科技提供的一些使用文档。

由于时间有限，书中可能有些不足的地方，欢迎广大读者指正，邮箱地址为sip.apd@gmail.com。

陈兰兵2012年春于上海

## <<Cadence印刷电路板设计>>

### 内容概要

本书基于Cadence Allegro最新的设计平台，通过设计行业相关专家的经验分享、实例剖析，详细介绍了整个印刷电路设计的各个环节，以期对提高整个行业的设计水平有所帮助。

本书最大的特点是介绍了Cadence Allegro平台下对于PCB设计所有的工具，既对基本的PCB设计工具进行介绍，也结合了最新的工具，例如，全局布线环境（GRE）、射频设计、团队协作设计等。本书也介绍了Cadence最新的设计方法，例如，任意角度布线和针对最新的Intel的Romely平台下BGA弧形布线的支持，以及最新的埋阻、埋容的技术。

## <<Cadence印刷电路板设计>>

### 作者简介

吴均，高速PCB设计公司——一博科技副总经理兼研发总监，15年高速PCB设计与仿真经验，擅长IT通信设备的高速PCB设计与SI、PI仿真，曾在深圳、北京、上海、成都主讲多场《高速电路设计的挑战与解决方案》，受到业内人士的广泛赞誉。

王辉，Cadence SPB平台中国区技术经理，主要负责Cadence公司的封装、系统级封装、PCB、信号完整性工具的技术支持，17年的Cadence工具使用经验。

周佳永，苏州芯禾电子有限公司设计服务部门经理，在PCB测试和高速PCB仿真方面有多年的经验。曾先后在Cadence分别担任过SPB AE和设计部门的经理。

## <<Cadence印刷电路板设计>>

### 书籍目录

#### 第1章 PCB设计介绍

##### 1.1 PCB设计的发展趋势

###### 1.1.1 PCB的历史

###### 1.1.2 PCB设计的发展趋势

##### 1.2 PCB设计流程简介

##### 1.3 高级PCB设计工程师的必备知识

##### 1.4 基于Cadence平台的PCB设计

#### 第2章 Allegro SPB平台简介

##### 2.1 Cadence PCB设计解决方案

###### 2.1.1 PCB Editor技术

###### 2.1.2 高速设计

###### 2.1.3 小型化

###### 2.1.4 设计规划与布线

###### 2.1.5 模拟/射频设计

###### 2.1.6 团队协作设计

###### 2.1.7 PCB Autorouter技术

##### 2.2 Allegro SPB 软件安装

#### 第3章 原理图和PCB交互设计

##### 3.1 OrCAD Capture平台简介

##### 3.2 OrCAD Capture平台原理图设计流程

###### 3.2.1 OrCAD Capture设计环境

###### 3.2.2 创建新项目

###### 3.2.3 放置器件并连接

###### 3.2.4 器件命名和设计规则检查

###### 3.2.5 跨页连接

###### 3.2.6 网表和Bom

##### 3.3 OrCAD Capture平台原理图设计规范

###### 3.3.1 器件、引脚、网络命名规范

###### 3.3.2 确定封装

###### 3.3.3 关于改板时候的器件名问题

###### 3.3.4 原理图可读性与布局

##### 3.4 正标与反标

##### 3.5 设计交互

#### 第4章 PCB Editor设计环境和设置

##### 4.1 Allegro SPB工作界面

###### 4.1.1 工作界面与产品说明

###### 4.1.2 选项面板

##### 4.2 Allegro SPB参数设置

##### 4.3 Allegro SPB环境设置

#### 第5章 封装库的管理和设计方法

##### 5.1 PCB封装库简介

##### 5.2 PCB封装命名规则

##### 5.3 PCB封装创建方法实例

###### 5.3.1 创建焊盘库

###### 5.3.2 用Pad Designer 制作焊盘

## &lt;&lt;Cadence印刷电路板设计&gt;&gt;

- 5.3.3 手工创建PCB封装
- 5.3.4 自动创建PCB封装
- 5.3.5 封装实例以及高级技巧
- 5.4 PCB封装库管理
- 第6章 PCB设计前处理
- 6.1 PCB设计前处理概述
- 6.2 网表调入
  - 6.2.1 封装库路径的指定
  - 6.2.2 Allegro Design Authoring/Capture CIS网表调入
  - 6.2.3 第三方网表
- 6.3 建立板框
  - 6.3.1 手动绘制板框
  - 6.3.2 导入DXF格式的板框
- 6.4 添加禁布区
- 6.5 MCAD-ECAD 协同设计
  - 6.5.1 第一次导入Baseline的机械结构图
  - 6.5.2 设计过程中的机械结构修改
  - 6.5.3 设计结束后建立新的基准 ( Re-Baseline )
- 第7章 约束管理器
- 7.1 约束管理器 ( Constraint Manager ) 介绍
- 7.2 物理约束 ( Physical Constraint ) 与间距约束 ( Spacing Constraint )
  - 7.2.1 Physical约束和Spacing约束介绍
  - 7.2.2 建立Net Class
  - 7.2.3 为Class添加对象 ( Assigning Objects to Classes )
  - 7.2.4 设置Physical约束的Default规则
  - 7.2.5 建立扩展Physical约束
  - 7.2.6 为Net Class添加Physical约束
  - 7.2.7 设置Spacing约束的Default规则
  - 7.2.8 建立扩展Spacing约束
  - 7.2.9 为Net Class添加Spacing约束
  - 7.2.10 建立Net Class-Class间距规则
  - 7.2.11 层间约束 ( Constraints By Layer )
  - 7.2.12 Same Net Spacing约束
  - 7.2.13 区域约束
  - 7.2.14 Net属性
  - 7.2.15 Component属性和Pin属性
  - 7.2.16 DRC工作表
  - 7.2.17 设计约束
- 7.3 实例：设置物理约束和间距约束
  - 7.3.1 Physical约束设置
  - 7.3.2 Spacing约束设置
- 7.4 电气约束 ( Electrical Constraint )
  - 7.4.1 Electrical约束介绍
  - 7.4.2 Wiring工作表
  - 7.4.3 Impedance工作表
  - 7.4.4 Min/Max Propagation Delays工作表
  - 7.4.5 Relative Propagation Delay工作表

## <<Cadence印刷电路板设计>>

7.4.6 Total Etch Length工作表

7.4.7 Differential Pair工作表

7.5 实例：建立差分线对

### 第8章 PCB布局

8.1 PCB布局要求

8.2 PCB布局思路

8.2.1 接口器件，结构定位

8.2.2 主要芯片布局

8.2.3 电源模块布局

8.2.4 细化布局

8.2.5 布线通道、电源通道评估

8.2.6 EMC、SI、散热设计

8.3 布局常用指令

8.3.1 摆放元件

8.3.2 按照Room放置器件

8.3.3 按照Capture CIS原理图页面放置器件

8.3.4 布局准备

8.3.5 手动布局

8.4 其他布局功能

8.4.1 导出元件库

8.4.2 更新元件 ( Update Symbols )

8.4.3 过孔阵列 ( Via Arrays )

8.4.4 模块布局和布局复用

### 第9章 层叠设计与阻抗控制

9.1 层叠设计的基本原则

9.1.1 PCB层的构成

9.1.2 合理的PCB层数选择

9.1.3 PCB层叠设置的常见问题

9.1.4 层叠设置的基本原则

9.2 层叠设计的经典案例

9.2.1 四层板的层叠方案

9.2.2 六层板的层叠方案

9.2.3 八层板的层叠方案

9.2.4 十层板的层叠方案

9.2.5 十二层板的层叠方案

9.2.6 十四层以上单板的层叠方案

9.3 阻抗控制

9.3.1 阻抗计算需要的参数

9.3.2 利用Allegro软件进行阻抗计算

### 第10章 电源地处理

10.1 电源地处理的基本原则

10.1.1 载流能力

10.1.2 电源通道和滤波

10.1.3 直流压降

10.1.4 参考平面

10.1.5 其他要求

10.2 电源地平面分割

## &lt;&lt;Cadence印刷电路板设计&gt;&gt;

- 10.3 电源地正片铜皮处理
- 10.4 电源地处理的其他注意事项
  - 10.4.1 前期Fanout
  - 10.4.2 散热问题
  - 10.4.3 接地方式
  - 10.4.4 开关电源反馈线设计
- 第11章 PCB布线的基本原则与操作
  - 11.1 布线概述及原则
    - 11.1.1 布线中的DFM要求
    - 11.1.2 布线中的电气特性要求
    - 11.1.3 布线中的散热考虑
    - 11.1.4 布线其他总结
  - 11.2 布线规划
    - 11.2.1 约束设置
    - 11.2.2 Fanout
    - 11.2.3 布线
  - 11.3 手动布线
    - 11.3.1 添加走线 ( Add Connect )
    - 11.3.2 布线编辑命令
    - 11.3.3 时序等长控制
  - 11.4 各类信号布线注意事项及布线技巧
- 第12章 全局布线环境 ( GRE )
  - 12.1 GRE功能简介
    - 12.1.1 新一代的PCB布局布线工具
    - 12.1.2 自动布线的挑战
    - 12.1.3 使用GRE进行布局规划的优点
  - 12.2 GRE高级布局布线规划
    - 12.2.1 GRE参数设置
    - 12.2.2 处理Bundle
    - 12.2.3 规划Flow
    - 12.2.4 规划验证
  - 12.3 高级布局布线规划流程
  - 12.4 高级布局布线规划实例
- 第13章 PCB测试
  - 13.1 测试方法介绍
  - 13.2 加测试点的要求
  - 13.3 加入测试点
  - 13.4 测试点的生成步骤
- 第14章 后处理和光绘文件输出
  - 14.1 DFX概述
    - 14.1.1 可制造性要求 ( DFM )
    - 14.1.2 可装配性要求 ( DFA )
    - 14.1.3 可测试性要求 ( DFT )
  - 14.2 丝印 ( Silkscreen )
    - 14.2.1 丝印调整
    - 14.2.2 丝印设计常规要求
  - 14.3 丝



## &lt;&lt;Cadence印刷电路板设计&gt;&gt;

## 章节摘录

版权页：插图：8.2.4 细化布局 在结构定位完成，接口器件、主要芯片、电源模块的布局摆放都结束之后，下一步的工作就是根据原理图和设计的要求，以每一个主芯片为中心，放置周边电路及电阻电容等分立器件。

细化布局阶段也有很多的注意要点，主要如下：· 一般要求按照原理图示意的顺序和设计的要求去做细化布局，在第3章原理图章节介绍了原理图设计的可读性和规范性。

一个符合要求的原理图，应该能明确指示主芯片周边元件的布局要求。

- 按照主次顺序优先级，进行细化布局，比如时钟处理电路（晶振、晶体、时钟分配器等）优先考虑。
- 电源分配系统的滤波也需要重视，滤波电容尽量靠近芯片管脚放置，Bulk电容要均匀放置在芯片周围。

更加严格的情况，需要使用Cadence的PDN软件进行详细仿真，指导滤波电容的选择和布局。

- 常规上，还需要考虑工艺要求及一些操作空间要求。

下面举例说明一个BGA封装的主芯片周围的细化布局方法，不同的工程师都会有自己的思路，也绝对没有一个任何场合皆行之有效的布局方法。

笔者认为，这恰恰是PCB设计的挑战和乐趣所在，同样的原理图，交给不同的PCB设计工程师，得到的布局布线绝对是截然不同的。

但是合格优秀的PCB设计工程师，都具备理解电路要求，熟练地综合运用各种周边知识的能力，来实现符合要求的PCB设计。

提示 所有的举例，都是提出一种笔者认为可行的设计方案，绝对不是唯一正确的方案，更像是一种抛砖引玉，大家如果有更好的设计思路，欢迎交流。

（这些话在后面的举例之前不再赘述了，举例中有不合理的地方，也恳请广大读者指正。

）笔者一直认为，PCB设计经常需要抓住主要问题，解决了这些关键问题，就能实现一个成功的设计。

细化布局也是一样，需要按照电路的重要性进行排序，优先考虑重要性级别比较高的。

首先，原理图中找出关键信号及相应的附属电路，布局时线要尽可能短且顺畅。

其次，锁相环电源电路（参考电源电路），以及其他电源的滤波性质的电路，在布局时尽量靠近芯片引脚放置。

再次，信号线的匹配电阻及上下拉电阻位置合理。

最后，保证BGA等周围合适的返修空间和确认芯片是否需要加装散热片，并且周边器件布局均匀、整齐、紧凑，高低器件分布适当。

8.2.5 布线通道、电源通道评估 布局和布线是密切相关的，在布局时就需要考虑布线通道和电源通道的可实现性。

1. 布线通道评估 影响布线通道的因素有：关键芯片的物理位置及层叠设计的布线层数。

在放置主要芯时，先明晰信号流向，尽量把关键信号的引线缩短，并且避免与其他关键信号交叉。

在高速信号线通道的路径上避免布置其他电路元件，尽量使高速线的布线通道比较通畅。

编辑推荐

<<Cadence印刷电路板设计>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>