

<<System Verilog Asser>>

图书基本信息

书名：<<System Verilog Assertions应用指南>>

13位ISBN编号：9787302134411

10位ISBN编号：7302134413

出版时间：2006-10

出版时间：清华大学出版社

作者：维加亚拉哈文

页数：305

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<System Verilog Asser>>

内容概要

本书的写作方式可以使工程师快速掌握System Verilog断言。

第0、1和2章，可以使您充分了解基础语法和一些通用的模拟技巧。

阅读完这三章，读者应该能在他们的设计/验证环境中写断言。

第3、4、5和6章是不同类型的设计的“烹饪书”。

读者如果在他们自己的环境里遇到类似的设计可以参考这些章节，以这些章节作为起点开始写断言。

这些章节也可以作为指导。

随书附一张光盘。

本书中所有例子都可以用VCS 2005.06发行版运行，也包括运行这些例子的脚本范例。

VCS是Synopsys公司的注册商标。

书籍目录

第0章 基于断言的验证第1章 SVA介绍 1.1 什么是断言 1.2 为什么使用System Verilog断言 (SVA) 1.3 System Verilog的调度 1.4 SVA术语 1.5 建立SVA块 1.6 一个简单的序列 1.7 边沿定义的序列 1.8 逻辑关系的序列 1.9 序列表达式 1.10 时序关系的序列 1.11 SVA中的时钟定义 1.12 禁止属性 1.13 一个简单的执行块 1.14 蕴含操作符 1.15 SVA检验器的时序窗口 1.16 “ended”结构 1.17 使用参数的SVA检验器 1.18 使用选择运算符的SVA检验器 1.19 使用true表达式的SVA检验器 1.20 “\$past”构造 1.21 重复运算符 1.22 “and”构造 1.23 “intersect”构造 1.24 “or”构造 1.25 “first_match”构造 1.26 “throughout”构造 1.27 “within”构造 1.28 内建的系统函数第2章 SVA模拟方法论第3章 SVA在有限状态机中的应用第4章 SVA用于数据集约型 (DATA INTENSIVE) 的设计第5章 SVA储存器第6章 SVA协议接口第7章 对检验器的检验

<<System Verilog Asser>>

编辑推荐

本书不仅系统地介绍了SVA这种硬件验证语言(HVL)的基本语法，而且针对不同类型的IC设计深入浅出地介绍了SVA的应用。

全书共分8章，其中前面三章介绍了ABV(基于断言的验证)方法学、SVA的语法及用一个实例介绍了SVA的应用。

后四章分别讨论了SVA在各种典型设计中的应用。

这些典型设计模型包括了：有限状态机(FSM)，数据通道，存储控制器，基于PCI局部总线系统和测试平台(testbench)。

无论是对刚刚接触断言的新手还是资深设计验证工程师，本书都是案前必备的一本参考书！

<<System Verilog Asser>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介, 请支持正版图书。

更多资源请访问:<http://www.tushu007.com>