

## <<EDA技术与实践>>

### 图书基本信息

书名：<<EDA技术与实践>>

13位ISBN编号：9787302250449

10位ISBN编号：7302250448

出版时间：2011-3

出版时间：清华大学出版社

作者：唐红莲 等主编

页数：367

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

## <<EDA技术与实践>>

### 内容概要

本书从EDA(电子设计自动化)技术的应用角度, 简明而系统地介绍了印制电路板设计和可编程逻辑器件的开发应用技术。

包括采用Protel

99 SE设计电路原理图、设计印制电路板的过程, 用MAX+plus

II开发PLD的原理图输入设计方法、波形输入设计方法及VHDL程序的文本输入设计方法。

每章后面的思考与练习题, 可用于复习总结。

本书根据实际电路设计过程安排教学内容; 例举电路简单, 选用软件成熟, 取材和编排上由浅入深, 循序渐进; 基础技术内容详尽, 方法步骤完整, 实践性强。

本书可作为高职高专电子信息、通信、自控和计算机专业的EDA技术教材, 以及上述学科或相关学科工程技术人员参考用书。

## 书籍目录

## 第7章 印制电路板设计基础

## 任务一 认识印制电路板

## 1.1 印制电路板的基础知识

## 1.1.1 印制电路板的功能

## 1.1.2 印制电路板的分类

## 1.2 PCB板面的基本组成

## 1.2.1 导线及导线的尺寸

## 1.2.2 焊盘和过孔

## 1.2.3 助焊膜和阻焊膜

## 1.2.4 层

## 1.2.5 丝印层

## 1.2.6 金属镀(涂)覆层

## 1.3 印制电路板设计的基本原则和要求

## 1.3.1 印制电路板的尺寸设计

## 1.3.2 布局要求

## 1.3.3 布线设计的基本原则

## 1.4 印制电路板的制作工艺

## 1.4.1 减成法工艺

## 1.4.2 加成法工艺

## 1.5 印制电路板的发展趋势和设计流程

## 1.5.1 发展趋势

## 1.5.2 软件设计PCB流程

## 1.6 Protel 99 SE软件概述

## 1.6.1 Protel 99 SE的特点

## 1.6.2 Protel 99 SE的运行环境

## 1.6.3 文档文件的管理

## 1.6.4 电路设计的基本步骤

## 本章小结

## 思考与练习

## 第2章 设计电路原理图

## 任务一 绘制存储器电路

## 任务二 绘制CH6.8088层次电路原理图

## 任务三 检查CH6.8088, 报表获取电路信息

## 2.1 原理图设计系统

## 2.1.1 打开原理图编辑器

## 2.1.2 编辑器的组成

## 2.1.3 原理图设计步骤

## 2.1.4 绘图工具

## 2.2 原理图编辑器的环境设置

## 2.2.1 窗口设置

## 2.2.2 图纸设置

## 2.2.3 格点和光标设置

## 2.3 在工作平面上放置元器件

## 2.3.1 加载元器件库

## 2.3.2 放置元器件

## <<EDA技术与实践>>

- 2.3.3 元器件属性的编辑
- 2.3.4 元器件的选择
- 2.3.5 元器件的位置调整
- 2.3.6 元器件的删除、复制、粘贴
- 2.3.7 阵列式粘贴
- 2.3.8 整体变换
- 2.4 绘制电路原理图
  - 2.4.1 画导线
  - 2.4.2 画总线
  - 2.4.3 画总线分支
  - 2.4.4 放置电路节点
  - 2.4.5 放置网络标号
  - 2.4.6 放置电源与接地符号
  - 2.4.7 制作电路的I/O接口
- 2.5 设计层次电路原理图
  - 2.5.1 层次电路基本概念
  - 2.5.2 自上而下绘制层次电路图
  - 2.5.3 自下而上绘制层次电路图
- 2.6 电气规则检查
  - 2.6.1 电气规则

.....

- 第3章 原理图元器件库编辑
- 第4章 同相比运算放大器的仿真实验
- 第5章 设计印制电路板
- 第6章 PCB封装库编辑
- 第7章 PLD开发流程与开发工具
- 第8章 VHDL程序设计基础
- 第9章 数字系统设计
- 附录 Protel 99 SE常用元器件封装
- 参考文献

## 章节摘录

1.4.2 加成法工艺 在绝缘基材上,有选择性地沉淀导电金属而形成导电图形的方法,因是把导电金属加到基材上而获得导电图形的,故称为加成法。

加成法制造印制板的工艺可以分为3类。

(1) 全加成法:仅用化学沉铜方法形成导电图形的加成法工艺。

如对催化性层压板基材,钻孔-成像-增黏处理(负相)-化学镀铜-去除抗蚀剂,加工成导电图形的工艺,即全加成法。

(2) 半加成法:在绝缘基材表面上,用化学沉淀金属,结合电镀蚀刻形成导电图形的加成法工艺。

如对普通层压板基材,钻孔-催化处理和增黏处理-化学镀铜-成像(电路抗蚀层)图形电镀图(负相)-去除抗蚀剂-差分蚀刻加工成导电图形的工艺,即半加成法。

(3) 部分加成法:在催化性覆铜层压板上,采用加成法制造印制板的工艺。

工艺流程为:成像(抗蚀剂)-蚀刻铜(正相)-去除抗蚀层-全板涂覆电镀抗蚀剂-钻孔-孔内化学镀铜-去除电镀抗蚀剂,加工成导电图形。

该工艺的导电图形敷铜走线部分是蚀刻形成的,孔壁导电层部分是电镀加成的。

与减成法相比,加成法具有如下优点。

(1) 加成法工艺比减成法工艺的工序减少了大约1/3,简化了生产工序,提高了生产效率,尤其避免了产品档次越高,工序越复杂的恶性循环。

(2) 加成法工艺能达到齐平导线和齐平表面,从而能制造表贴等高精度印制板。

(3) 在加成法工艺中,由于孔壁和导线同时化学镀铜,孔壁和板面上导电图形的镀铜层厚度均匀一致,提高了金属化孔的可靠性,也能满足高厚径比印制板的小孔内镀的要求。

(4) 由于加成法避免了大量蚀刻铜以及由此带来的大量蚀刻溶液的处理费用,从长远利益考虑,大大降低了印制板生产成本。

&hellip;&hellip;

<<EDA技术与实践>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>