

<<计算机系统结构>>

图书基本信息

书名：<<计算机系统结构>>

13位ISBN编号：9787302297444

10位ISBN编号：7302297444

出版时间：2012-10

出版时间：朱利、李晨 清华大学出版社 (2012-10出版)

作者：朱利，李晨 著

页数：439

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<计算机系统结构>>

内容概要

《21世纪高等学校规划教材·软件工程：计算机系统结构》从系统设计和应用两个方面讲述现代计算机体系结构的概念、结构、原理和关键技术，内容组织上由浅入深、从简单到高级，涵盖了该领域的最新进展。

《21世纪高等学校规划教材·软件工程：计算机系统结构》共12章，分为存储系统、CPU系统和多机系统三大部分。

内容上按照单核系统、多核系统、多机系统展开，其中在多机系统中引入了网格计算和云计算。

《21世纪高等学校规划教材·软件工程：计算机系统结构》针对软件工程专业和计算机专业的研究生，特别强调了技术原理在项目和程序设计中的应用，理论和实际紧密结合，非常适合作为研究生的教材使用。

本书还可作为计算机专业高年级本科生、计算机工程师、软件工程师的参考书。

<<计算机系统结构>>

书籍目录

第1章计算机系统结构概论 1.1计算机系统结构的基本概念 1.1.1计算机系统结构的定义 1.1.2计算机组成与计算机实现 1.2计算机的分类 1.3计算机系统设计与分析的量化原理 1.3.1程序访问的局部性原理 1.3.2利用并行与优化处理经常性事件 1.3.3 Amdahl定律 1.3.4处理器的性能公式 1.3.5可靠性 1.4计算机系统的性能评测 1.4.1主要性能指标 1.4.2计算机性能测试 1.4.3计算机性能测试实例 1.5计算机技术的发展趋势 1.5.1吞吐率相对于延时的发展趋势 1.5.2集成电路的发展限制 1.5.3计算机发展的新方向 1.6本章总结 习题1 第2章Cache 2.1计算机存储系统的层次结构 2.1.1存储器概述 2.1.2存储器的层次结构 2.2 Cache系统的基本原理 2.2.1 Cache存储系统的构成与组织 2.2.2 Cache存储系统的基本性能参数 2.2.3 Cache的基本工作原理 2.3 Cache设计的关键问题 2.3.1 Cache的容量与行大小 2.3.2映射机制 2.3.3替换算法 2.3.4单机系统的Cache写策略 2.3.5 Cache数量选择 2.4 Cache的性能分析 2.4.1未中率 2.4.2加速比 2.5 Cache的基本优化方法 2.5.1增加行大小和容量, 减少未中率 2.5.2增加关联度减少未中率 2.5.3使用多级Cache减少未中损失 2.5.4让读未中的优先级高于写来减少未中损失 2.6 Cache的高级优化设计 2.6.1 踪迹Cache 2.6.2路预测技术 2.6.3流水Cache与非阻塞Cache 2.6.4关键字优先和早重启 2.6.5合并写缓存 2.6.6预取技术 2.6.7牺牲Cache和伪关联Cache 2.7 Cache的应用问题 2.7.1循环交换与循环融合 2.7.2数组合并与矩阵分块 2.8 Pentium 4与ARM中Cache的组织 2.8.1 Pentium中Cache的组织 2.8.2 ARM中的Cache组织 2.9本章总结 习题2 第3章 内部存储器与外部存储器 3.1半导体存储器 3.1.1 ROM 3.1.2 RAM 3.2内部存储器芯片的组织 3.2.1芯片的组织 3.2.2存储模块的组织 3.3高级内存的组织 3.3.1 SDRAM 3.3.2 RDRAM 3.3.3 DDR SDRAM 3.4高性能存储器 3.4.1多体交叉主存 3.4.2并行访问主存 3.4.3关联存储器 3.5磁盘 3.5.1磁盘的读写与数据组织 3.5.2磁盘的物理特性 3.5.3磁盘的性能参数 3.6 RAID 3.6.1 RAID0和RAID1 3.6.2 RAID2和RAID3 3.6.3 RAID4和RAID5 3.6.4 RAID6 3.6.5组合式RAID 3.7 RAID7与网络化存储 3.7.1 RAID7 3.7.2基于网络的并行存储 3.8磁带 3.8.1磁带的的数据记录方式 3.8.2磁带的的数据组织 3.9光学存储器 3.9.1 CD和CD-ROM 3.9.2 刻录CD、重写CD和DVD 3.9.3集成光盘设备 3.10本章总结 习题3 第4章I/O系统 4.1 中断 4.1.1中断源的组织 4.1.2中断处理 4.1.3中断源识别 4.1.4中断现场的保存与恢复 4.2 I/O系统的功能与结构 4.2.1 I/O模块的功能 4.2.2 I/O模块的结构 4.3基本I/O方式 4.3.1可编程式I/O 4.3.2中断驱动式I/O 4.3.3 DMA 4.4高级I/O方式 4.4.1 I/O通道 4.4.2 I/O处理机 4.5高性能I/O接口 4.5.1 SCSI 4.5.2 FireWire 4.5.3 InfiniBand 4.6本章总结 习题4 第5章虚拟内存 5.1虚拟内存的组成 5.1.1虚拟内存的组成 5.1.2 Cache系统与虚拟内存的比较 5.2虚拟地址Cache 5.3虚拟内存基础--进程调度与交换 5.3.1进程调度 5.3.2交换 5.4分页式虚拟内存 5.4.1分页机制 5.4.2地址变换 5.4.3页表的结构 5.4.4快速页表查询方法 5.4.5分页机制的优缺点 5.5分段式虚拟内存 5.5.1分段机制 5.5.2分段式虚拟内存的优点和缺点 5.5.3分段与分页的比较 5.6段页式虚拟内存 5.7页替换与分配算法 第6章指令系统 第7章CPU的流水线技术 第8章RISC与嵌入式架构 第9章超标量与VLIW架构 第10章 多核架构与多核程序设计 第11章 多处理器系统 第12章云计算 参考文献

<<计算机系统结构>>

章节摘录

版权页：插图：10.2.2 SMT架构 SMT是由传统的多线程架构演化而来的，使用多发出、动态调度的处理器资源开发线程级的并行，同时又具有指令级并行的能力。

驱动SMT的关键原因是，现代多发出处理器一般拥有的功能部件并行度，要多于单线程实际上能使用的并行度。

换句话说，现代CPU对于单线程应用经常会处于“饥饿”状态。

此外，有了寄存器重命名和动态调度，来自无关线程的多条指令可以同时发出，不用考虑指令间的依赖关系；指令间依赖的消解可由动态调度部件来完成。

图10-5从概念上说明了无多线程支持的超标量处理器、粗粒度多线程超标量处理器、细粒度多线程超标量处理器、SMT超标量处理器能力的差别。

在普通的超标量处理器中，多条流水线的使用受限于ILP的不足，主要停滞（如Cache未中）会令整个处理器空闲；在细粒度的多线程架构中，线程的交错执行完全消除了空周期。

由于在一个时钟周期内，只能有一个线程发出指令，ILP是不充分的。

在各自时钟周期内，这种ILP的不充分会导致不少空闲槽的出现；在粗粒度的多线程超标量处理器中，长停滞发生时，可切换另一线程来使用CPU资源，从而部分地隐藏长停滞。

尽管这减少了整个空闲周期数，但在每个时钟周期内，由于ILP的限制，仍会出现空闲槽。

另外，由于出现停滞时才切换线程，新线程有一个启动期，在启动期内往往会有完全空闲的周期存在（图中未给出）。

在SMT架构中，同时利用了TLP和ILP，一个周期内多个线程使用功能部件。

理想情况下，功能部件的使用率仅受限于资源需求的不均衡以及资源对于多个线程的可用性。

实践当中，其他因素也会影响功能部件的利用率，这些因素包括多少个活动线程、有限的缓存、从多个线程充分取指能力、从一个线程和多个线程各调度多少条指令等。

尽管图10-5大大简化了处理器的实际操作，但确实可以说明多线程架构、尤其是SMT架构潜在的性能优势。

SMT使用的许多硬件机制是动态调度处理器已经拥有的，另外需要大量的虚拟寄存器存放各自线程的状态。

由于寄存器重命名提供了唯一的寄存器识别符，来自不同线程的指令在数据路径上可以混合，不会将这个线程的源、目的寄存器和那个线程的混淆。

因此，SMT架构是在乱序处理器的基础上，引入了一个每线程重命名表（Per-thread Renaming Table）、保持每线程一个独立的PC、增加了多个线程指令递交的功能。

指令递交的处理比较困难，因为来自独立线程的指令能够独立递交。

独立线程指令的独立递交，可通过逻辑上为每个线程保存一个独立的ROB实现。

<<计算机系统结构>>

编辑推荐

<<计算机系统结构>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>