

<<EDA技术与VHDL基础>>

图书基本信息

书名：<<EDA技术与VHDL基础>>

13位ISBN编号：9787302313601

10位ISBN编号：7302313601

出版时间：2013-3

出版时间：杨健 清华大学出版社 (2013-03出版)

作者：杨健 编

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<EDA技术与VHDL基础>>

内容概要

《21世纪高等院校自动化类实用规划教材:EDA技术与VHDL基础》以Quartus 9.1集成开发环境的使用为例,通过理论知识和实例讲解,让读者熟悉可编程逻辑器件的设计流程,同时介绍了VHDL、状态机设计、组合和时序逻辑电路设计和常用接口电路设计。

全书重点讲解基础知识,强调基础数字模块的设计与熟练应用。

在内容编写上采用纵向和横向相结合的写法,纵向基础知识的学习穿插大量实例讲解,使学生建立VHDL知识体系的完整性;横向应用实例的学习穿插基础知识要点和设计经验讲解,使学生掌握理论知识的具体应用,从而帮助读者从不同角度认识VHDL,提高灵活运用能力,建立自己的设计思路。

<<EDA技术与VHDL基础>>

书籍目录

第1章EDA技术概述 1.1 EDA技术 1.1.1 EDA技术的概念 1.1.2 EDA技术的特点 1.1.3 EDA技术的发展 1.2 EDA技术的知识体系 1.2.1 EDA技术的主要内容 1.2.2 可编程逻辑器件 1.2.3 可编程逻辑语言 1.2.4 EDA开发工具 1.3 EDA设计流程 1.3.1 设计输入 1.3.2 综合 1.3.3 适配 1.3.4 仿真 1.3.5 编程下载 1.3.6 硬件验证 1.4 EDA技术的设计方法 1.4.1 基于VHDL的自顶向下的设计方法 1.4.2 EDA设计方法与传统数字系统设计方法的比较 1.4.3 基于IP的设计 1.5 给初学者的学习建议 本章小结 习题 第2章可编程逻辑器件基础 2.1 可编程逻辑器件概述 2.1.1 数字集成电路的分类 2.1.2 可编程逻辑器件的理论基础 2.1.3 可编程逻辑器件的发展历史 2.1.4 可编程逻辑器件的分类 2.1.5 可编程逻辑器件的发展趋势 2.2 简单PLD基本结构原理 2.3 CPLD和FPGA的基本结构 2.3.1 CPLD的基本结构 2.3.2 FPGA的基本结构 2.4 CPLD和FPGA的比较 2.5 CPLD和FPGA的编程与配置技术 2.5.1 Altera公司的下载电缆 2.5.2 Altera公司FPGA器件的编程 / 配置模式 2.6 可编程逻辑器件主要生产厂商及典型器件 本章小结 习题 第3章VHDL程序初步——程序结构 3.1 初识VHDL程序 3.2 VHDL体系结构概述 3.2.1 VHDL体系结构 3.2.2 库、程序包 3.2.3 实体 3.2.4 结构体 3.2.5 配置 3.3 结构体描述方式 3.3.1 行为描述方式 3.3.2 数据流描述方式 3.3.3 结构描述方式 3.4 D触发器的VHDL描述概述 3.4.1 D触发器的VHDL描述 3.4.2 不完整条件语句 本章小结 习题 第4章VHDL基础 4.1 VHDL的语言要素 4.1.1 VHDL文字规则 4.1.2 数据对象 4.1.3 VHDL数据类型 4.1.4 VHDL数据类型转换 4.1.5 VHDL运算符 4.2 VHDL语句 4.2.1 VHDL的顺序语句 4.2.2 VHDL的并行语句 4.2.3 VHDL的属性语句 本章小结 习题 第5章Quartus 集成开发软件 初步 5.1 Quartus 软件概述 5.1.1 Quartus 软件开发流程 5.1.2 Quartus 软件的特点 5.1.3 Quartus 软件的图形用户界面 5.2 原理图编辑方法 5.2.1 半加器电路输入与编辑 5.2.2 半加器的综合 5.2.3 半加器的仿真 5.2.4 半加器的编程下载 5.3 用文本编辑方法设计编码器 5.3.1 8线—3线编码器的文本输入与编辑 5.3.2 综合与仿真 5.3.3 生成符号文件和RTL阅读器 5.4 ModelSim 软件应用 5.4.1 ModelSim软件的使用方法 5.4.2 使用ModelSim仿真 Quartus II已有文件 5.4.3 ModelSim的时序仿真 本章小结 习题 第6章VHDL设计方法 6.1 自底向上混合设计——六十进制计数器设计 6.2 自顶向下混合设计 6.2.1 十六进制计数译码显示电路设计 6.2.2 一位全加器的自顶向下混合设计 本章小结 习题 第7章有限状态机设计 7.1 有限状态机概述 7.1.1 有限状态机的概念和分类 7.1.2 有限状态机的状态转换图 7.1.3 有限状态机的设计流程 7.1.4 有限状态机的VHDL描述 7.2 Moore型状态机 7.2.1 三进程描述 7.2.2 双进程描述 7.2.3 单进程描述 7.3 Mealy型状态机 7.4 设计实例——十字路口交通灯控制器 7.5 Quartus软件状态图输入法 本章小结 习题 第8章宏功能模块及应用 8.1 Quartus 宏功能模块概述 8.2 宏功能模块定制管理器 8.2.1 宏功能模块定制管理器的使用 8.2.2 8位加法计数器的定制 8.2.3 宏功能模块定制管理器文件 8.3 宏功能模块的应用 8.3.1 Arithmetic宏功能模块 8.3.2 Gates宏功能模块 8.3.3 I / O宏功能模块 8.3.4 Memory Compiler宏功能模块 第9章VHDL基本逻辑电路设计 第10章接口电路设计 参考文献

<<EDA技术与VHDL基础>>

章节摘录

版权页：插图：2.逻辑抽象，得出状态转换图 状态转换图是实际问题与使用VHDL描述状态机之间的桥梁。

实际上，往往绘制出状态转换图就能很容易地用VHDL实现状态机。

3.状态化简 如果在状态转换图中出现这样两个状态，它们在相同的输入下转移到同一状态去，并得到一样的输出，则称它们为等价状态。

显然等价状态是重复的，可以合并为一个。

电路的状态越少，存储电路也就越简单，硬件资源的耗费也就越少。

状态简化的目的就在于将等价状态尽可能地合并，以得到最简的状态转换图。

4.状态编码 通常有很多编码方法，编码方案选择得当，设计的电路可以简单。

实际设计时，需综合考虑电路复杂度与电路性能之间的折中。

在触发器资源丰富的FPGA或ASIC设计中采用独立热编码既可以使电路性能得到保证又可充分利用其触发器数量多的优势。

状态分配的工作一般由综合器自动完成，并可以设置分配方式。

5.形成状态转换图 同样一个状态机设计问题，可能有很多不同的状态转换图构造结果，这是设计者的设计经验问题。

在状态不是很多的情况下，状态转换图可以直观地给出设计中各个状态的转换关系以及转换条件。

6.用VHDL实现有限状态机 可以充分发挥硬件描述语言的抽象建模能力，使用进程语句中的CASE、IF等条件语句及赋值语句即可方便实现。

7.1.4有限状态机的VHDL描述 1.数据类型定义语句 VHDL数据类型有标准预定义数据类型和用户自定义数据类型，标准预定义数据类型有整数类型、STD LOGIC、BIT等常用数据类型，用户自定义数据类型有枚举类型、数据类型和记录类型等。

自定义数据类型主要是用类型定义语句TYPE来实现，其基本语法格式如下：TYPE数据类型名IS数据类型定义[OF基本数据类型]（1）数据类型名部分由设计者自定，要符合标识符的规定。

（2）数据类型定义部分用来描述所定义的数据类型的表达方式和表达内容。

<<EDA技术与VHDL基础>>

编辑推荐

《21世纪高等院校自动化类实用规划教材:EDA技术与VHDL基础》可作为高职高专电子信息类、计算机应用类等相关专业的教材或参考书，也可作为工程技术人员的参考书。

<<EDA技术与VHDL基础>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>