

图书基本信息

书名：<<EDA原理与应用/高等学校规划教材>>

13位ISBN编号：9787502531904

10位ISBN编号：7502531904

出版时间：2001-5

出版时间：第1版(2002年5月1日)

作者：付家才编

页数：322

字数：517000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

## 内容概要

本书内容包括：PSPICE、EWB、PROTEL98的原理与使用方法；可编程逻辑器件的主要分类和工作原理；硬件描述语言VHDL要点与实例；开发工具MAX + PLUSII使用详解；ISP、FPGA的编程与下载方法。

本书注重基础，取材新颖，深入浅出，方便实用，既可作为高校电类各专业本科生的教材，也可作为相关专业工程技术人员的自学参考书。

## 书籍目录

上篇 电子电路设计、仿真与制板	第一章 PSPICE	1.1 概述	1.1.1 PSPICE功能简介
1.1.2 PSPICE集成环境	1.1.3 PSPICE的电路分析步骤	1.1.4 PSPICE中的规定	
1.2 绘制电路图	1.2.1 启动SCHEMATICS	1.2.2 SCHEMATICS编辑环境	
1.2.3 电路图绘制方法	1.2.4 元器件模型	1.3 仿真分析	1.3.1 电路分析类型
1.3.2 设置分析参数	1.3.3 分析方法的参数设置	1.3.4 设置输出方式	
1.3.5 启动分析	1.3.6 输出波形的后处理	1.4 PSPICE应用实例	
1.4.1 二极管电路的直流工作点分析	1.4.2 共射极放大电路温度扫描分析	1.4.3 乙类互补对称功放电路性能分析	
1.4.4 RC正弦波振荡电路性能分析	1.4.5 二阶电压控制电压源低通滤波电路性能分析	本章小结	思考题与习题
EWB	2.1 概述	2.1.1 功能简介	2.1.2 分析步骤
2.2.1 启动	2.2.2 EWB工作窗口	2.2.3 电路图绘制	2.2.4 虚拟仪器的使用
2.3 EWB仿真分析	2.3.1 参数设置	2.3.2 分析方法	2.3.3 仿真中的问题及解决
2.3.4 EWB图形处理	2.4 EWB应用实例	2.4.1 整流滤波及负载特性测量	2.4.2 共射极单级放大器设计分析
2.4.2 共射极单级放大器设计分析	2.4.3 差动放大器	2.4.4 数字全加器	本章小结
2.4.3 差动放大器	2.4.4 数字全加器	本章小结	思考题与习题
2.4.4 数字全加器	第三章 SCH98电气原理图设计	3.1 SCH98基本操作方法	3.1.1 准备工作
3.1.1 准备工作	3.1.2 摆放元件	3.1.3 绘制原理图	3.1.4 电气法则测试
3.1.2 摆放元件	3.1.5 画图工具简介	3.2 元件编辑器	3.2.1 元件库绘图工具
3.1.4 电气法则测试	3.2 元件编辑器	3.2.1 元件库绘图工具	3.2.2 绘制元件
3.1.5 画图工具简介	3.2.1 元件库绘图工具	3.2.2 绘制元件	3.2.3 元件管理工具
3.2.1 元件库绘图工具	3.2.2 绘制元件	3.2.3 元件管理工具	3.3 报表文件的生成
3.2.2 绘制元件	3.2.3 元件管理工具	3.3 报表文件的生成	3.3.1 网络表文件的生成
3.2.3 元件管理工具	3.3 报表文件的生成	3.3.1 网络表文件的生成	3.3.2 元件列表文件的生成
3.3 报表文件的生成	3.3.1 网络表文件的生成	3.3.2 元件列表文件的生成	3.3.3 文件的输出
3.3.1 网络表文件的生成	3.3.2 元件列表文件的生成	3.3.3 文件的输出	本章小结
3.3.2 元件列表文件的生成	3.3.3 文件的输出	本章小结	思考题与习题
3.3.3 文件的输出	第四章 PCB印制电路板设计	4.1 PCB 98基本操作	4.1.1 设计流程
4.1.1 设计流程	4.1.2 创建文档	4.1.3 工作窗口	4.1.4 绘图工具
4.1.2 创建文档	4.1.3 工作窗口	4.1.4 绘图工具	4.1.5 参数设置
4.1.3 工作窗口	4.1.4 绘图工具	4.1.5 参数设置	4.2 自动布线
4.1.4 绘图工具	4.1.5 参数设置	4.2 自动布线	4.2.1 布线准备
4.1.5 参数设置	4.2 自动布线	4.2.1 布线准备	4.2.2 布局
4.2 自动布线	4.2.1 布线准备	4.2.2 布局	4.2.3 布线规则设置
4.2.1 布线准备	4.2.2 布局	4.2.3 布线规则设置	4.2.4 布线
4.2.2 布局	4.2.3 布线规则设置	4.2.4 布线	4.2.5 设计规则检测
4.2.3 布线规则设置	4.2.4 布线	4.2.5 设计规则检测	4.3 制作PCB元件封装模型
4.2.4 布线	4.2.5 设计规则检测	4.3 制作PCB元件封装模型	4.3.1 元件管理
4.2.5 设计规则检测	4.3 制作PCB元件封装模型	4.3.1 元件管理	4.3.2 创建和打开元件库
4.3 制作PCB元件封装模型	4.3.1 元件管理	4.3.2 创建和打开元件库	4.3.3 创建元件封装模型
4.3.1 元件管理	4.3.2 创建和打开元件库	4.3.3 创建元件封装模型	4.4 生成报表和打印
4.3.2 创建和打开元件库	4.3.3 创建元件封装模型	4.4 生成报表和打印	4.4.1 生成报表
4.3.3 创建元件封装模型	4.4 生成报表和打印	4.4.1 生成报表	4.4.2 打印
4.4 生成报表和打印	4.4.1 生成报表	4.4.2 打印	4.5 设计实例
4.4.1 生成报表	4.4.2 打印	4.5 设计实例	本章小结
4.4.2 打印	4.5 设计实例	本章小结	思考题与习题
4.5 设计实例	本章小结	思考题与习题	本章附录
本章小结	思考题与习题	本章附录	下篇 在系统可编程技术
思考题与习题	本章附录	下篇 在系统可编程技术	第五章 可编程逻辑器件
本章附录	下篇 在系统可编程技术	第五章 可编程逻辑器件	5.1 概述
下篇 在系统可编程技术	第五章 可编程逻辑器件	5.1 概述	5.1.1 PLD的发展
第五章 可编程逻辑器件	5.1 概述	5.1.1 PLD的发展	5.1.2 PLD的分类及特点
5.1 概述	5.1.1 PLD的发展	5.1.2 PLD的分类及特点	5.2 GAL器件
5.1.1 PLD的发展	5.1.2 PLD的分类及特点	5.2 GAL器件	5.2.1 基本结构
5.1.2 PLD的分类及特点	5.2 GAL器件	5.2.1 基本结构	5.2.2 器件的控制字
5.2 GAL器件	5.2.1 基本结构	5.2.2 器件的控制字	5.2.3 行地址分配
5.2.1 基本结构	5.2.2 器件的控制字	5.2.3 行地址分配	5.2.4 性能特点
5.2.2 器件的控制字	5.2.3 行地址分配	5.2.4 性能特点	5.3 ISP器件
5.2.3 行地址分配	5.2.4 性能特点	5.3 ISP器件	5.3.1 低密度ISP-PLD
5.2.4 性能特点	5.3 ISP器件	5.3.1 低密度ISP-PLD	5.3.2 高密度ISP-PLD
5.3 ISP器件	5.3.1 低密度ISP-PLD	5.3.2 高密度ISP-PLD	5.4 FPGA器件
5.3.1 低密度ISP-PLD	5.3.2 高密度ISP-PLD	5.4 FPGA器件	5.4.1 基本结构
5.3.2 高密度ISP-PLD	5.4 FPGA器件	5.4.1 基本结构	5.4.2 IOB和CLB
5.4 FPGA器件	5.4.1 基本结构	5.4.2 IOB和CLB	5.5 ispPAC器件
5.4.1 基本结构	5.4.2 IOB和CLB	5.5 ispPAC器件	5.5.1 器件的结构
5.4.2 IOB和CLB	5.5 ispPAC器件	5.5.1 器件的结构	5.5.2 器件的使用
5.5 ispPAC器件	5.5.1 器件的结构	5.5.2 器件的使用	5.5.3 开发软件的使用
5.5.1 器件的结构	5.5.2 器件的使用	5.5.3 开发软件的使用	本章小结
5.5.2 器件的使用	5.5.3 开发软件的使用	本章小结	思考题与习题
5.5.3 开发软件的使用	本章小结	思考题与习题	第六章 硬件描述语言VHDL
本章小结	思考题与习题	第六章 硬件描述语言VHDL	6.1 概述
思考题与习题	第六章 硬件描述语言VHDL	6.1 概述	6.2 VHDL的基本结构
第六章 硬件描述语言VHDL	6.1 概述	6.2 VHDL的基本结构	6.2.1 设计实体
6.1 概述	6.2 VHDL的基本结构	6.2.1 设计实体	6.2.2 库、程序包及配置
6.2 VHDL的基本结构	6.2.1 设计实体	6.2.2 库、程序包及配置	6.3 构造体描述方式
6.2.1 设计实体	6.2.2 库、程序包及配置	6.3 构造体描述方式	6.4 VHDL的数据类型
6.2.2 库、程序包及配置	6.3 构造体描述方式	6.4 VHDL的数据类型	6.4.1 对象 (Objects)
6.3 构造体描述方式	6.4 VHDL的数据类型	6.4.1 对象 (Objects)	6.4.2 数据类型 (Data Type)
6.4 VHDL的数据类型	6.4.1 对象 (Objects)	6.4.2 数据类型 (Data Type)	6.4.3 子类型 (Subtype)
6.4.1 对象 (Objects)	6.4.2 数据类型 (Data Type)	6.4.3 子类型 (Subtype)	6.4.4 类型转换 (Type Conversion)
6.4.2 数据类型 (Data Type)	6.4.3 子类型 (Subtype)	6.4.4 类型转换 (Type Conversion)	6.4.5 属性 (Attribute)
6.4.3 子类型 (Subtype)	6.4.4 类型转换 (Type Conversion)	6.4.5 属性 (Attribute)	6.5 VHDL的主要描述语句
6.4.4 类型转换 (Type Conversion)	6.4.5 属性 (Attribute)	6.5 VHDL的主要描述语句	6.5.1 进程语句 (PROCESS Statement)
6.4.5 属性 (Attribute)	6.5 VHDL的主要描述语句	6.5.1 进程语句 (PROCESS Statement)	6.5.2 并行语句
6.5 VHDL的主要描述语句	6.5.1 进程语句 (PROCESS Statement)	6.5.2 并行语句	6.5.3 顺序语句
6.5.1 进程语句 (PROCESS Statement)	6.5.2 并行语句	6.5.3 顺序语句	6.5.4 其他语句
6.5.2 并行语句	6.5.3 顺序语句	6.5.4 其他语句	6.5.5 运算符
6.5.3 顺序语句	6.5.4 其他语句	6.5.5 运算符	6.6 基本逻辑电路设计
6.5.4 其他语句	6.5.5 运算符	6.6 基本逻辑电路设计	6.6.1 组合逻辑电路设计
6.5.5 运算符	6.6 基本逻辑电路设计	6.6.1 组合逻辑电路设计	6.6.2 时序电路设计
6.6 基本逻辑电路设计	6.6.1 组合逻辑电路设计	6.6.2 时序电路设计	本章小结
6.6.1 组合逻辑电路设计	6.6.2 时序电路设计	本章小结	思考题与习题
6.6.2 时序电路设计	本章小结	思考题与习题	第七章 ISP的编程与下载
本章小结	思考题与习题	第七章 ISP的编程与下载	7.1 Workview Office
思考题与习题	第七章 ISP的编程与下载	7.1 Workview Office	7.1.1 工具图标
7.1 Workview Office	7.1.1 工具图标	7.1.2 逻辑图输入	7.1.3 VHDL语言输入
7.1.1 工具图标	7.1.2 逻辑图输入	7.1.3 VHDL语言输入	7.1.4 EDIF interface
7.1.2 逻辑图输入	7.1.3 VHDL语言输入	7.1.4 EDIF interface	7.1.5 View Navigator
7.1.3 VHDL语言输入	7.1.4 EDIF interface	7.1.5 View Navigator	7.2 ispDS+使用方法
7.1.4 EDIF interface	7.1.5 View Navigator	7.2 ispDS+使用方法	7.2.1 ispDS+的设计管理器 (GUI)
7.1.5 View Navigator	7.2 ispDS+使用方法	7.2.1 ispDS+的设计管理器 (GUI)	7.2.2 ISP菊花链下载软件 (IDCD)
7.2 ispDS+使用方法	7.2.1 ispDS+的设计管理器 (GUI)	7.2.2 ISP菊花链下载软件 (IDCD)	7.3 使用范例
7.2.1 ispDS+的设计管理器 (GUI)	7.2.2 ISP菊花链下载软件 (IDCD)	7.3 使用范例	本章小结
7.2.2 ISP菊花链下载软件 (IDCD)	7.3 使用范例	本章小结	思考题与习题
7.3 使用范例	本章小结	思考题与习题	第八章 MAX+PLUS
本章小结	思考题与习题	第八章 MAX+PLUS	8.1 MAX+PLUS 的逻辑输入方法
思考题与习题	第八章 MAX+PLUS	8.1 MAX+PLUS 的逻辑输入方法	8.1.1 MAX+PLUS 的设计过程
8.1 MAX+PLUS 的逻辑输入方法	8.1.1 MAX+PLUS 的设计过程	8.1.2 逻辑设计的输入方法	8.2 MAX+PLUS 的编译仿真及定时分析
8.1.1 MAX+PLUS 的设计过程	8.1.2 逻辑设计的输入方法	8.2 MAX+PLUS 的编译仿真及定时分析	8.2.1 编译仿真
8.1.2 逻辑设计的输入方法	8.2 MAX+PLUS 的编译仿真及定时分析	8.2.1 编译仿真	8.2.2 定时分析
8.2 MAX+PLUS 的编译仿真及定时分析	8.2.1 编译仿真	8.2.2 定时分析	8.3 应用实例
8.2.1 编译仿真	8.2.2 定时分析	8.3 应用实例	本章小

结	思考题与习题	第九章 FPGA应用	9.1 FPGA一般设计流程	9.2 Xilinx F1.5
项目管理器	9.2.1 F1.5主要功能模块	9.2.2 F1.5 项目管理器	9.3 原理图输入	
	9.3.1 设计流程	9.3.2 原理图编辑器窗口	9.3.3 原理图输入	9.3.4
创建符号	9.4 设计的编译与仿真	9.4.1 F1.5逻辑仿真器窗口	9.4.2 设计的	
编译	9.4.3 功能仿真	9.4.4 设计实现	9.4.5 时序仿真	9.5 VHDL输
入	9.5.1 HDL设计流程	9.5.2 HDL编辑器窗口	9.5.3 VHDL输入	9.6
器件编程	9.6.1 进入	9.6.2 三种编程方式简介	本章小结	思考题与习
题	参考文献			

#### 版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>