

<<嵌入式微处理器系统设计实例>>

图书基本信息

书名：<<嵌入式微处理器系统设计实例>>

13位ISBN编号：9787505396609

10位ISBN编号：7505396609

出版时间：2004-3

出版时间：电子工业出版社

作者：鲍尔

页数：378

字数：480000

译者：苏建平

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<嵌入式微处理器系统设计实例>>

内容概要

按照普遍适用的原则，本书介绍了嵌入式微处理器系统的设计理念和设计手段，涵盖内容从系统设计和软硬件设计，到系统集成和软硬件高度调试，其中还涉及中断处理、实时操作以及工业标准嵌入式平台等。

<<嵌入式微处理器系统设计实例>>

作者简介

Stuart Ball现就职于美国俄克拉荷马州医用电子设备制造公司。作为一位在嵌入式控制系统有15年工作经历的高级电子工程师，他此前曾在Rockwell国际公司参与了全球定位系统和安全通信设备的研发工作。除了编写嵌入式系统方面的专著外，他还是美国《Byte》杂志和《现代电子周刊》的撰稿人。

<<嵌入式微处理器系统设计实例>>

书籍目录

第1章 系统设计 需求定义 选择处理器 开发环境 开发成本 硬件和软件要求 软件与硬件的划分 分布式处理器系统 技术规范小结 功能文档概要 交流与通信第2章 硬件设计 (第1部分) 单片系统设计 多片系统设计 等待状态 内部存储器 可编程只读存储器 (PROM) 的类型 随机存储器 (RAM) 输入输出 (I/O) 外部接口电路 非易失性存储器 Microwire总线接口 直接存储器访问 (DMA) 监视定时器 在线编程 内部外设 系统设计技巧 电磁兼容性考虑 微处理器时钟 本章小结第3章 硬件设计 (第2部分) 动态总线调整 快速周期终止 复位总线调整 时钟同步总线 内置动态存储器接口 组合集成电路 数模转换器 (DAC) 模数转换器 (ADC) SPI接口或Microwire接口在多处理器方案中的应用 定时器基础 定时器应用案例 硬件规格说明纲要第4章 软件设计 流程图 状态流程图 程序框图 伪代码 代码划分 软件结构体系 程序开发语言 与软件编程有关的微处理器硬件 硬指标与软指标 有关独立过程的考虑 软件说明 软件说明文档纲要第5章 中断在嵌入式系统中的应用 中断概述 中断向量 边沿触发中断和电平触发中断 中断优先级 中断硬件 中断总线周期 菊花链中断机制 其他类型的中断机制 中断硬件的使用 中断软件 中断服务机制 嵌套中断 中断服务程序的数据接收或发送 中断应用及存在的问题 最小化低优先级中断服务时间 使用中断的时机第6章 增加调试用硬件和软件 操作码 硬件输出 写ROM 读ROM 软件定时 软件吞吐量 循环跟踪缓冲区 监控程序 逻辑分析仪断点 存储器转储 串行条件监控第7章 系统集成和调试 硬件测试 软件调试 RAM程序调试 功能测试计划 强度测试 故障日志 实用案例介绍 仿真器与调试器第8章 多处理器系统 处理器之间的通信 双端口随机存储器第9章 实时操作系统 多任务管理 任务跟踪 任务间通信 内存管理 资源管理 RTOS与中断 典型RTOS通信 优先级考虑 RTOS的适用范围 调试程序第10章 工业标准嵌入式平台 使用个人电脑平台的优势 个人电脑平台的不足 ISA总线和基于PCI总线的嵌入式主板 基于个人电脑的实时系统案例第11章 高级微处理器概念 流水线 (预取) 队列 交叉存取技术 动态随机存取存储器 (DRAM) 突发访问模式 同步动态随机存取存储器 (SDRAM) 高速高集成度处理器和多总线 高速缓冲存储器 多时钟输入锁相循环处理器 多指令存取和译码 微控制器与可编程门阵列 片内调试 内部存储器管理硬件 专用微控制器附录A 案例系统技术文档附录B 计数系统附录C 数字逻辑原理简介附录D 微处理器基本概念附录E 嵌入式系统Web站点介绍词汇表

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>