

<<Verilog HDL数字系统设计及其>>

图书基本信息

书名：<<Verilog HDL数字系统设计及其应用>>

13位ISBN编号：9787560611655

10位ISBN编号：7560611656

出版时间：2002-11

出版时间：西安电子科技大学出版社

作者：袁俊泉等编

页数：290

字数：441000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<Verilog HDL数字系统设计及其>>

内容概要

本书系统地介绍了一种在专用集成电路设计领域具有广泛应用前景的硬件描述语言——Verilog HDL语言。

利用Verilog HDL语言设计数字逻辑电路和数字系统的新方法，是电子电路设计方法的一次革命性的变化，也是21世纪的电子工程师所必须掌握的专门知识。

本书共分12章。

第1章对硬件描述语言进行了概述，并给出了EDA的典型设计流程与有关硬件描述语言的最新发展；第2章对采用Verilog HDL设计数字系统的方法以及Verilog HDL程序的基本结构进行了简单的阐述；第3~8章主要介绍Verilog HDL的基本知识、用户自定义元件以及Verilog HDL的两种描述方式；第9章详述了有关Verilog HDL程序测试与仿真的内容；第10章与第11章分别给出了使用Verilog HDL设计简单逻辑电路与复杂电路的实例；第12章对Verilog HDL的开发工具进行了简单的介绍。

本书简明扼要，易读易懂，并列举了众多的实例，便于读者学习与参考。

本书可作为本科生和研究生的教科书，也可作为一般从事电子电路设计工程师的自学参考书。

<<Verilog HDL数字系统设计及其>>

书籍目录

第1章 概述	1.1 电子系统设计方法的演变过程	1.2 硬件描述语言	1.2.1 硬件描述语言(HDL)
	1.2.2 为什么要用HDL	1.2.3 HDL的发展历史	1.2.4 Verilog HDL与VHDL的比较
1.3 EDA典型流程	1.4 硬件描述语言的新发展	1.4.1 OO VHDL	1.4.2 DE VHDL
	1.4.3 VITAL	1.4.4 系统级描述语言	1.4.5 IEEE Std—2000
第2章 初识Verilog HDL	2.1 Verilog HDL的设计方法	2.1.1 自下而上(Bottom-Up)的设计方法	2.1.2 自上而下(Top-Down)的设计方法
	2.1.3 综合设计方法	2.2 Verilog HDL中的模块及其描述方式	2.2.1 模块的概念及结构
	2.2.2 模块的描述方式	2.2.3 设计的仿真与测试	2.3 Verilog HDL设计流程
第3章 Verilog HDL基础知识	3.1 词法	3.1.1 间隔符与注释符	3.1.2 数值
	3.1.3 字符串	3.1.4 关键字	3.2 数据类型
	3.2.1 物理数据类型	3.2.2 抽象数据类型	3.3 运算符
	3.3.1 算术运算符	3.3.2 逻辑运算符	3.3.3 关系运算符
	3.3.4 相等关系运算符	3.3.5 按位运算符	3.3.6 归约运算符
	3.3.7 移位运算符	3.3.8 条件运算符	3.3.9 连接与复制操作
	3.3.10 运算符的优先级	3.4 系统任务与系统函数	3.4.1 标准输出任务
	3.4.2 文件管理任务	3.4.3 仿真控制任务	3.4.4 时间函数
	3.4.5 其他	3.5 编译指令	3.5.1 宏编译指令
	3.5.2 文件包含指令	3.5.3 条件编译指令	3.5.4 时间定标指令
	3.5.5 工作库定义指令	第4章 用户自定义元件(UDP)	4.1 UDP的定义
	4.2 组合逻辑电路UDP	4.3 时序逻辑电路UDP	4.3.1 初始化状态寄存器
	4.3.2 电平触发时序电路UDP	4.3.3 边沿触发时序电路UDP	4.3.4 电平触发和边沿触发混合的时序电路UDP
第5章 行为描述(一): 模块基本结构	5.1 行为描述的结构	5.1.1 过程块	5.1.2 initial过程块
	5.1.3 always过程块	5.2 语句块	5.2.1 串行块(begin-end块)
	5.2.2 并行块(fork-join块)	5.2.3 串行块和并行块的混合使用	第6章 行为描述(二): 时间控制和赋值语句
	6.1 时间控制	6.1.1 延时控制	6.1.2 边沿触发事件控制
	6.1.3 电平敏感事件控制(wait语句)	6.2 赋值语句	6.2.1 过程赋值语句的基本格式
	6.2.2 过程赋值的两种延时方式	6.2.3 阻塞型过程赋值	6.2.4 非阻塞型过程赋值
	6.2.5 连续赋值语句	6.2.6 过程连续赋值语句	第7章 行为描述(三): 高级程序语句、函数和任务
	7.1 分支语句	7.1.1 if-else条件分支语句	7.1.2 case分支控制语句
	7.2 循环控制语句	7.2.1 forever循环语句	7.2.2 repeat循环语句
	7.2.3 while循环语句	7.2.4 for循环语句	7.3 任务(task)与函数(function)
	7.3.1 任务(task)	7.3.2 函数(function)	第8章 结构描述
	8.1 结构描述方式	8.2 模块级建模	8.2.1 模块的定义
	8.2.2 模块的端口	8.2.3 模块的调用	8.2.4 在模块调用时对参数值的更改
	8.2.5 举例	8.3 门级建模	8.3.1 内置基本门级元件
	8.3.2 门级建模的例子	8.4 specify说明块和时序检验	8.4.1 延时参数的定义: specparam语句
	8.4.2 对模块输入输出端口之间的路径延时进行说明	8.4.3 借助时序检验系统任务对模块输入输出时序进行时序检验	第9章 测试与仿真.....
	第10章 设计举例与设计技巧	第11章 综合设计实例	第12章 开发工具介绍
	附录 Verilog HDL形式化语法	参考文献	

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>