

<<现代DSP技术>>

图书基本信息

书名：<<现代DSP技术>>

13位ISBN编号：9787560612812

10位ISBN编号：7560612814

出版时间：2003-8

出版时间：西安电子科技大学出版社

作者：黄继业

页数：300

字数：456000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<现代DSP技术>>

内容概要

本书详尽介绍了目前在电子信息和通信领域被广泛应用的数字信号处理硬件实现的全新解决方案，即基于EDA与SOPC的现代DSP开发技术，以及与之相关的开发工具的使用方法、设计理论和一些典型的设计实例。

全书内容包括基于MATLAB/SimuLink的DSP和通信系统模块的设计技术；Quartus II的基本使用方法、详细的设计流程向导、多种优化设计方法、逻辑锁定技术、嵌入式逻辑分析仪SignalTap II的使用方法、Quartus II/DSP Builder及第三方EDA工具Synplify、Leonardo Spectrum和Modelsim的优化设计接口技术。

全书深入、系统地介绍了基于MATLAB环境下DSP Builder/SignalCompiler对现代DSP系统开发的基本方法，以及基于这些工具的DSP IP核的使用方法和使用规则。

本书内容新颖、实用，为DSP领域的读者展示了有别于传统TI DSP处理器的、全新的DSP系统实现技术，为软件无线电领域的读者提供了一项不可或缺的系统设计解决方案，也为电子信息领域的读者向EDA技术的更高层次迈进提供了有用的工具。

本书可作为电子类各专业高年级本科生、研究生的教材，或作为相关领域工程技术人员的参考书，也可作为现代电子系统设计、电子设计竞赛、DSP应用系统以及通信电子系统高层次开发的参考书，或用作SOC/SOPC技术实验教材。

书籍目录

第1章 概述 1.1 DSP实现方案及设计流程 1.1.1 常用DSP应用器件及其性能特点 1.1.2 DSP处理器结构与性能的发展 1.1.3 FPGA的结构与性能的发展 1.1.4 基于DSP处理器的DSP设计流程 1.1.5 基于FPGA的DSP设计流程 1.2 现代DSP设计流程概述 1.3 两类DSP解决方案的比较 习题第2章 Quartus II设计向导 2.1 频率计的VHDL设计 2.1.1 创建工程和编辑设计文件 2.1.2 创建工程 2.1.3 编译前设置 2.1.4 编译及了解编译结果 2.1.5 仿真 2.1.6 引脚锁定和下载 2.1.7 Quartus II在Windows 2000上的安装设置 2.2 使用宏功能块设计频率计 2.3 嵌入式系统块ESB的应用I 2.3.1 应用普通方法设计正弦信号发生器 2.3.2 应用ESB优化正弦信号发生器的设计 2.4 嵌入式系统块ESB的应用II 2.4.1 定制ROM数据文件 2.4.2 定制ROM 2.4.3 编译和结果观察 2.5 时序驱动式优化编译方法 2.5.1 需求频率值设置 2.5.2 优化时钟时序设置 2.5.3 编译 2.6 频率计结构原理 2.7 Quartus II优化特性 习题第3章 DSP Builder设计入门 3.1 DSP Builder及其设计流程 3.2 DSP Builder设计向导 3.2.1 建立一个新的模型(Model) 3.2.2 Simulink模型仿真 3.2.3 SignalCompiler的使用 3.2.4 使用ModelSim验证生成的VHDL代码 3.2.5 在Quartus II中指定器件引脚、进行编译、下载 3.2.6 硬件测试 3.3 调幅电路模型设计示例 3.3.1 建立调幅电路模型 3.3.2 模型仿真和实现 3.3.3 在MATLAB/Simulink中使用MegaCore核 3.4 使用SignalTap II嵌入式逻辑分析仪 3.4.1 安装SignalTap II 3.4.2 设置触发条件 3.4.3 设置总线的数据格式 3.4.4 启动SignalTap II分析操作 3.4.5 信号节点的资源利用情况 3.4.6 一般触发条件 3.4.7 Node模块 习题第4章 DSP Builder设计进阶 4.1 层次化设计 4.1.1 DSP Builder的子系统 4.1.2 在DSP Builder中使用外部的VHDL代码 4.2 用ModelSim进行RTL级VHDL仿真 4.3 使用Synplify进行综合 4.3.1 Synplify与DSP Builder的接口(自动流程) 4.3.2 Synplify和DSP Builder的接口(手动流程) 4.3.3 Synplify与Quartus II的接口 4.4 使用LeonardoSpectrum进行综合 4.4.1 LeonardoSpectrum与DSP Builder的接口(自动流程) 4.4.2 LeonardoSpectrum和DSP Builder的接口(手动流程) 4.4.3 LeonardoSpectrum与Quartus II的接口 4.5 Quartus II与DSP Builder的接口 4.5.1 使用Quartus II进行综合、适配(手动流程) 4.5.2 使用Quartus II进行时序仿真 4.5.3 在Quartus II中建立元件(Symbol) 习题第5章 LogicLock优化技术 5.1 LogicLock技术的基本内容 5.1.1 LogicLock技术解决系统设计优化 5.1.2 LogicLock的基本内容 5.1.3 锁定区域的基本方式 5.1.4 层次化逻辑锁定区域 5.1.5 LogicLock技术的不同应用流程 5.1.6 系统性能强化策略 5.1.7 锁定区域的移植与再利用 5.2 未用LogicLock的数字滤波器设计 5.2.1 数字滤波器结构及其VHDL描述 5.2.2 滤波器设计和结果观察 5.3 应用逻辑锁定技术 5.3.1 底层模块设计及其VQM文件保存 5.3.2 确定逻辑锁定区域及其特性 5.3.3 将设计实体移至锁定区域 5.3.4 编译优化锁定后的filter模块 5.4 顶层设计优化 5.4.1 记录锁定信息 5.4.2 逻辑锁定信息的输出 5.4.3 逻辑锁定信息的输入 5.4.4 编译和结果观察 习题第6章 FIR数字滤波器设计 6.1 FIR数字滤波器原理 6.2 使用DSP Builder设计FIR数字滤波器 6.2.1 3阶常系数FIR滤波器的设计 6.2.2 4阶FIR滤波器节的设计 6.2.3 16阶FIR滤波器模型设计 6.2.4 使用MATLAB的滤波器设计工具 6.2.5 16阶FIR滤波器的硬件实现 6.3 使用FIR IP Core设计FIR滤波器 6.3.1 FIR滤波器核与DSP Builder集成 6.3.2 FIR滤波器核的使用 习题第7章 IIR数字滤波器设计 7.1 IIR滤波器原理 7.2 使用DSP Builder设计IIR滤波器 7.2.1 4阶直接型IIR滤波器设计 7.2.2 4阶级联型IIR滤波器设计 7.3 在Quartus II中使用IIR滤波器IP核 7.3.1 配置Quartus II以便使用IIR滤波器核 7.3.2 使用IIR滤波器核 习题第8章 FFT设计 8.1 FFT的原理 8.1.1 快速傅立叶变换FFT 8.1.2 快速傅立叶反变换IFFT 8.2 FFT与蝶形运算 8.3 使用DSP Builder设计FFT 8.3.1 8点DIT FFT模型的建立 8.3.2 8点DIT FFT模型的实现 8.4 在DSP Builder中使用FFT IP Core 习题第9章 DDS设计 9.1 DDS的基本原理 9.2 DDS的模块设计 第10章 编码与译码第11章 DSP Builder设计规则第12章 AltLab库第13章 算术库第14章 其它DSP设计库附录参考文献

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>