

<<VHDL硬件描述语言与数字逻辑电路设计>>

图书基本信息

书名：<<VHDL硬件描述语言与数字逻辑电路设计>>

13位ISBN编号：9787560623047

10位ISBN编号：7560623042

出版时间：2009-8

出版时间：侯伯亨、刘凯、顾新 西安电子科技大学出版社 (2009-08出版)

作者：侯伯亨 等著

页数：401

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

前言

本书第一版撰写于1997年，1999年进行了一次修订。

当时作者试图打破传统的电子电路设计概念，将VHDL语言引入数字逻辑电路设计课程，对课程进行一次改革，以适应21世纪新技术发展的需要。

本书出版后，受到了广大读者的欢迎，并被众多大专院校和科研院所选用。

然而，目前VHDL语言及其相关技术已有了较大发展，为适应技术发展的变化，作者对本书进行了第二次修订。

本书的特点一、本书重点阐述VHDL语言的基本特征（当然不是全部特征）与用VHDL语言来设计数字电路和数字系统的方法，并不过多涉及具体器件和开发板的介绍。

对初学者来说，用最简单的开发环境，掌握VHDL语言的使用才是最重要的，这也是本书的宗旨。

本书是计算机和电子工程等专业的专业基础课程教材，它是学好后续专业课程，如计算机组成原理、嵌入式计算机系统等课程的基础。

第三版内容的变化本书在上一版的基础上进行了一些修改，主要有：第一，原书某些实例中使用了STD ULOGIC数据类型，这种用法与业界实际使用方法不一致，并有可能与某些EDA工具不兼容，所以本次修订中全部采用了STDLOGIC数据类型。

第二，在上一版出版时，大多数EDA工具只支持VHDL，语言87版标准或对93版标准的支持度很低，因此上一版的内容都以87版标准为基础写成。

随着时间的流逝，93版标准日趋完善，并被业界所普遍采用，其性能与87版相比也有了明显提高。

所以，本书中所有实例都按93版标准格式书写，对93版中所增加的主要特性也作了简要增补和介绍。

注意，书中所介绍的93版特性在目前常用的EDA工具中并不都支持，读者在使用前应阅读一下该EDA工具的“帮助”文字，以免引起不必要的麻烦。

另外，考虑到目前电子电路设计已从电路级设计向系统级设计拓展，为此本书增加了两章内容：数字系统的算法描述和数字系统的实际设计技巧，以介绍系统设计所需要的基本知识。

内容概要

《VHDL硬件描述语言与数字逻辑电路设计（第3版）》系统地介绍了VHDL硬件描述语言以及用该语言设计数字逻辑电路和数字系统的新方法。

全书共13章，第1、3、4、5、6、7、8、9章主要介绍VHDL语言的基本知识和用其设计简单逻辑电路的基本方法；第2、10章简单介绍数字系统设计的一些基本知识；第11章以洗衣机洗涤控制电路设计为例，详述一个小型数字系统设计的步骤和过程；第12章介绍常用微处理器接口芯片的设计实例；第13章介绍VHDL语言93版和87版的主要区别。

《VHDL硬件描述语言与数字逻辑电路设计（第3版）》简明扼要，易读易懂，书中所有VHDL语言都用93版标准格式书写。

全书以数字逻辑电路设计为主线，用对比手法来说明数字逻辑电路的电原理图和VHDL语言程序之间的对应关系，并列举了众多实例。

另外，从系统设计角度出发，介绍了数字系统设计的一些基本知识及工程设计技巧。

《VHDL硬件描述语言与数字逻辑电路设计（第3版）》既可作为大学本科生教材，也可作为研究生教材，还可供电子电路工程师自学参考。

书籍目录

第1章 数字系统硬件设计概述1.1 传统的系统硬件设计方法1.2 利用硬件描述语言的硬件电路设计方法
习题与思考题第2章 数字系统的算法描述2.1 数字系统算法流程图描述2.1.1 算法流程图的符号及其描述方法2.1.2 算法流程图描述数字系统实例2.2 状态机及算法状态机图描述2.2.1 状态机的分类及特点2.2.2 算法状态机流程图的符号及描述方法2.2.3 算法状态机图描述实例2.2.4 算法流程图至状态图的变换方法2.2.5 状态图至算法状态机图的变换方法2.2.6 C语言流程图至算法状态机图的变换习题与思考题第3章 VHDL语言程序的基本结构3.1 VHDL语言设计的基本单元及其构成3.1.1 实体说明3.1.2 构造体3.2 VHDL语言构造体的子结构描述3.2.1 BLOCK语句结构描述3.2.2 PROCESS语句结构描述3.2.3 SUBPROGRAM语句结构描述3.3 包集合、库及配置3.3.1 库3.3.2 包集合3.3.3 配置习题与思考题第4章 VHDL语言的数据类型与运算操作符4.1 VHDL语言的客体及其分类4.1.1 常数4.1.2 变量4.1.3 信号4.1.4 信号和变量值代入的区别4.1.5 文件4.2 VHDL语言的数据类型4.2.1 标准的数据类型4.2.2 用户定义的数据类型4.2.3 用户定义的子类型4.2.4 数据类型的转换4.2.5 数据类型的限定4.2.6 IEEE标准“STD-LOGIC”和“STD-LOGIC-VECTOR”4.3 VHDL语言的运算操作符4.3.1 逻辑运算符4.3.2 算术运算符4.3.3 关系运算符4.3.4 并置运算符习题与思考题第5章 VHDL语言构造体的描述方式5.1 构造体的行为描述方式5.1.1 代入语句5.1.2 延时语句5.1.3 多驱动器描述语句5.1.4 GENERIC语句5.2 构造体的寄存器传输(RTL)描述方式5.2.1 RTL描述方式的特点5.2.2 使用RTL描述方式应注意的问题5.3 构造体的结构描述方式5.3.1 构造体结构描述的基本框架5.3.2 COMPONENT语句5.3.3 COMPONENT_INSTANCE语句习题与思考题第6章 VHDL语言的主要描述语句6.1 顺序描述语句6.1.1 WAIT语句6.1.2 断言语句6.1.3 信号代入语句6.1.4 变量赋值语句6.1.5 IF语句6.1.6 CASE语句6.1.7 LOOP语句6.1.8 NEXT语句6.1.9 EXIT语句6.2 并发描述语句6.2.1 进程语句6.2.2 并发信号代入语句6.2.3 条件信号代入语句6.2.4 选择信号代入语句6.2.5 并发过程调用语句6.2.6 块语句6.3 其它语句和有关规定的说明6.3.1 命名规则和注解的标记6.3.2 ATTRIBUTE(属性)描述与定义语句6.3.3 GENERATE语句习题与思考题第7章 数值系统的状态模型7.1 二态数值系统7.2 三态数值系统7.3 四态数值系统7.4 九态数值系统7.5 十二态数值系统7.6 四十六态数值系统习题与思考题第8章 基本逻辑电路设计8.1 组合逻辑电路设计8.1.1 简单门电路8.1.2 编、译码器与选择器8.1.3 加法器与求补器8.1.4 三态门与总线缓冲器8.2 时序电路设计8.2.1 时钟信号和复位信号8.2.2 触发器8.2.3 寄存器8.2.4 计数器8.3 存储器8.3.1 存储器描述中的共性问题8.3.2 ROM(只读存储器)8.3.3 RAM(随机存储器)8.3.4 FIFO(先进先出堆栈)习题与思考题第9章 仿真与逻辑综合9.1 仿真9.1.1 仿真输入信息的产生9.1.2 仿真9.1.3 仿真程序模块的书写9.2 逻辑综合9.2.1 约束条件9.2.2 属性描述9.2.3 工艺库9.2.4 逻辑综合的基本步骤习题与思考题第10章 数字系统的实际设计技巧10.1 数字系统优化的基本方法10.1.1 相同电路的处理10.1.2 运算顺序的改变10.1.3 常数运算的运用10.1.4 相同运算电路的使用10.1.5 优化的必要性及其工程实际意义10.2 数字系统设计中的工程实际问题10.2.1 提高系统工作速度的方法10.2.2 缩小电路规模和降低功耗的方法10.2.3 系统误操作的成因及其消除方法10.2.4 非同步信号的控制方法10.2.5 典型状态机状态编码的选择习题与思考题第11章 洗衣机洗涤控制电路设计实例11.1 洗衣机洗涤控制电路的性能要求11.2 洗衣机洗涤控制电路的结构11.3 洗衣机洗涤控制电路的算法状态机图描述11.4 洗衣机洗涤控制电路的VHDL语言描述习题与思考题第12章 微处理器接口芯片设计实例12.1 可编程并行接口芯片设计实例12.1.1 8255的引脚与内部结构12.1.2 8255的工作方式及其控制字12.1.3 8255的结构设计12.1.4 8255芯片的VHDL语言描述12.1.5 8255芯片VHDL语言描述模块的仿真12.2 SCI串行接口芯片设计实例12.2.1 SCI的引脚与内部结构12.2.2 串行数据传送的格式与同步控制机构12.2.3 SCI芯片的VHDL语言描述12.2.4 SCI芯片VHDL语言描述模块的仿真12.3 键盘接口芯片KBC设计实例12.3.1 KBC的引脚与内部结构12.3.2 同步控制机构和查表变换12.3.3 KBC芯片的VHDL语言描述12.3.4 KBC芯片VHDL语言描述模块的仿真习题与思考题第13章 VHDL语言93版和87版的主要区别13.1 VHDL语言93版的特点13.2 87版到93版的移植问题附录A 典型EDA开发工具介绍A.1 简介A.2 MAX+plusII使用说明A.2.1 MAX+plus 概况A.2.2 VHDL语言工程文件的建立和编辑A.2.3 VHDL语言程序的编译A.2.4 仿真A.3 Xilinx可编程器件集成开发环境ISE的使用说明A.3.1 ISE系统简介A.3.2 新建工程A.3.3 源代码的输入A.3.4 设计与仿真A.3.5 综合A.3.6 时序约束A.3.7 位置约束A.3.8 下载与配置附录B VHDL语言文法介绍附录C 属性说明附录D VHDL标准包集合文件参考文献

章节摘录

插图：第1章数字系统硬件设计概述数字系统设计历来存在两个分支，即系统硬件设计和系统软件设计。

同样，设计人员也因工作性质不同，可分成硬件设计人员和软件设计人员。

他们各自从事自己的工作，很少涉足对方的领域，特别是软件设计人员更是如此。

但是，随着计算机技术的发展和硬件描述语言（Hardware Description Language, HDL）的出现，这种界线已经被打破。

数字系统的硬件构成及其行为完全可以用HDL语言来描述和仿真。

这样，软件设计人员也同样可以借助HDL语言设计出符合要求的硬件系统。

不仅如此，利用HDL语言来设计系统硬件与利用传统方法设计系统硬件相比，还具有许多突出的优点。

它是硬件设计领域的一次变革，对系统的硬件设计将产生巨大的影响。

本章将详细介绍这种硬件设计方法的变化。

1.1传统的系统硬件设计方法在计算机辅助电子系统设计出现以前，人们一直采用传统的硬件电路设计方法来设计系统的硬件。

这种硬件设计方法具体有以下几个主要特征。

（1）采用自下至上（Bottom Up）的设计方法。

自下至上的硬件电路设计方法的主要步骤是：根据系统对硬件的要求，详细编制技术规格书，并画出系统控制流程图；然后根据技术规格书和系统控制流程图，对系统的功能进行细化，合理地划分功能模块，并画出系统的功能框图；接着进行各功能模块的细化和电路设计；各功能模块的电路设计、调试完成后，将各功能模块的硬件电路连接起来再进行系统的调试；最后完成整个系统的硬件设计。

自下至上的设计方法充分体现在各功能模块的电路设计中。

下面以一个六进制计数器设计为例进行说明。

要设计一个六进制计数器，其方案是多种多样的，但是摆在设计者面前的一个首要问题是如何选择现有的逻辑元器件构成六进制计数器。

设计六进制计数器首先从选择逻辑元器件开始。

第一步，选择逻辑元器件。

由数字电路的基本知识可知，可以用与非门、或非门、D触发器、JK触发器等基本逻辑元器件来构成一个计数器。

设计者根据电路尽可能简单、价格合理、购买和使用方便等原则及各自的习惯来选择构成六进制计数器的元器件。

本例中选择JK触发器和D触发器作为构成六进制计数器的主要元器件。

第二步，进行电路设计。

假设六进制计数器采用约翰逊计数器。

3个触发器连接应该产生8种状态，现在只使用6个状态，将其中的010和101两种状态禁止。

这样六进制计数器的状态转移图如图1.1所示。

编辑推荐

《VHDL硬件描述语言与数字逻辑电路设计(第3版)》由西安电子科技大学出版社出版。

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>