

<<数字电路设计及Verilog HDL实>>

图书基本信息

书名：<<数字电路设计及Verilog HDL实现>>

13位ISBN编号：9787560624822

10位ISBN编号：7560624820

出版时间：2010-12

出版时间：西安电子科技大学出版社

作者：康磊，宋彩利，李润洲 编著

页数：398

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<数字电路设计及Verilog HDL实>>

内容概要

《数字电路设计及Verilog HDL实现》结合现代数字系统设计技术的发展，从教学和实际应用的角度出发，在系统地介绍数字电路分析和设计基本理论、基本方法的基础上，着重分析和说明采用Verilog HDL进行数字系统设计和实现的方法。

《数字电路设计及Verilog HDL实现》主要内容涉及数字系统设计概述、数字技术基础、Verilog基本语法、组合逻辑电路的分析和设计、时序逻辑电路的分析和设计、可编程逻辑器件原理、Verilog HDL综合设计实例、Quartus 开发平台简介等，并将Verilog HDL的介绍渗透于各个章节。

《数字电路设计及Verilog HDL实现》在内容上由浅入深，实用性强，既可以作为高等院校通信与电子类专业本科生的教材，也可以作为从事各类电子系统设计的科研人员和硬件工程师的应用参考书。

<<数字电路设计及Verilog HDL实>>

书籍目录

第1章 数字系统设计概述

- 1.1 数字系统的基本概念
 - 1.2 数字系统的设计方法
 - 1.2.1 三类常用芯片
 - 1.2.2 数字系统的设计过程
 - 1.3 EDA技术基础
 - 1.3.1 硬件描述语言HDL ,
 - 1.3.2 EDA软件开发工具
 - 1.3.3 EDA芯片的设计开发流程
- 习题

第2章 数字技术基础

- 2.1 数制与编码
 - 2.1.1 进位计数制
 - 2.1.2 数制转换
 - 2.1.3 几种常用的编码
 - 2.2 逻辑代数
 - 2.2.1 基本逻辑运算
 - 2.2.2 复合逻辑运算
 - 2.2.3 逻辑函数
 - 2.2.4 逻辑代数的基本定律、公式和规则
 - 2.2.5 逻辑函数的标准形式
 - 2.3 逻辑函数的化简
 - 2.3.1 代数法化简逻辑函数
 - 2.3.2 卡诺图法（图解法）化简逻辑函数
 - 2.3.3 含有任意项的逻辑函数化简
 - 2.4 逻辑门电路
 - 2.4.1 概述
 - 2.4.2 TTL集成逻辑门
 - 2.4.3 CMOS电路
- 习题

第3章 VerilogHDL的基本语法

- 3.1 VerilogHDL程序的基本结构
 - 3.1.1 模块端口定义
 - 3.1.2 模块内容
- 3.2 VerilogHDL的数据类型
 - 3.2.1 常量
 - 3.2.2 变量
- 3.3 VerilogHDL的运算符
- 3.4 VerilogHDL的基本语句
 - 3.4.1 赋值语句
 - 3.4.2 条件语句
 - 3.4.3 循环语句
 - 3.4.4 结构声明语句
 - 3.4.5 编译预处理语句
- 3.5 模块化程序设计

<<数字电路设计及Verilog HDL实>>

习题

第4章 组合逻辑电路

- 4.1 组合逻辑电路概述
- 4.2 组合逻辑电路分析
 - 4.2.1 组合逻辑电路分析方法
 - 4.2.2 简单组合逻辑电路分析举例
- 4.3 组合逻辑电路设计
 - 4.3.1 用中小规模集成电路设计组合逻辑电路
 - 4.3.2 用VerilogHDL设计组合逻辑电路的方法
 - 4.3.3 组合逻辑电路设计举例
- 4.4 常用组合逻辑电路
 - 4.4.1 加法器
 - 4.4.2 编码器
 - 4.4.3 译码器
 - 4.4.4 数据选择器和数据分配器
 - 4.4.5 数值比较器
 - 4.4.6 奇偶产生 / 校验电路
- 4.5 组合电路中的竞争与险象
 - 4.5.1 竞争与险象的概念
 - 4.5.2 险象分类
 - 4.5.3 险象的判别
 - 4.5.4 险象的消除

习题

第5章 时序逻辑电路

- 5.1 概述
 - 5.1.1 时序逻辑电路的特点
 - 5.1.2 时序逻辑电路的分类
- 5.2 集成触发器
 - 5.2.1 触发器的工作原理
 - 5.2.2 常用触发器
 - 5.2.3 各种类型触发器的相互转换
- 5.3 时序逻辑电路分析
 - 5.3.1 同步时序逻辑电路分析
 - 5.3.2 异步时序逻辑电路分析
- 5.4 时序逻辑电路的设计方法
 - 5.4.1 同步时序逻辑电路的传统设计方法
 - 5.4.2 异步时序逻辑电路的传统设计方法
 - 5.4.3 用VerilogHDL描述时序逻辑电路
- 5.5 常用时序电路及其应用
 - 5.5.1 计数器
 - 5.5.2 寄存器

习题

第6章 可编程逻辑器件

- 6.1 概述
 - 6.1.1 可编程逻辑器件的概念
 - 6.1.2 可编程逻辑器件的发展历程
 - 6.1.3 可编程逻辑器件的分类

<<数字电路设计及Verilog HDL实>>

6.2 PLD的编程元件

6.2.1 熔丝型开关

6.2.2 浮栅型编程元件

6.2.3 SRAM编程元件

6.3 简单PLD的原理与结构

6.3.1 PLD的阵列图符号

6.3.2 可编程逻辑阵列PLA

6.3.3 可编程阵列逻辑PAL

6.3.4 通用阵列逻辑GAL

6.4 复杂可编程逻辑器件CPLD

6.4.1 CPLD的原理与结构

6.4.2 CPLD器件实例

6.5 现场可编程门阵列FPGA

6.5.1 FPGA的原理与结构

6.5.2 FPGA器件实例

6.6 CPLD和FPGA的编程

6.6.1 在系统可编程技术

6.6.2 JTAG边界扫描测试技术 习题

第7章 Verilog综合设计实例

7.1 分频器的设计

7.1.1 偶数分频器

7.1.2 奇数分频器

7.1.3 半整数分频器

7.2 乐曲播放器

7.2.1 时钟信号发生器模块

7.2.2 音频产生器模块

7.2.3 乐曲存储模块

7.2.4 乐曲控制模块

7.2.5 乐曲播放器顶层模块

7.3 电子表

7.3.1 时钟调校及计时模块

7.3.2 整数分频模块

7.3.3 时钟信号选择模块

7.3.4 七段显示模块

7.3.5 顶层模块的实现

7.4 VGA控制器

7.4.1 VGA显示原理

7.4.2 VGA控制信号发生器

7.4.3 像素点RGB数据输出模块

7.4.4 顶层模块的设计与实现

7.4.5 RGB模拟信号的产生

7.5 简单模型机设计

7.5.1 指令系统设计

7.5.2 数据通路设计

7.5.3 系统各功能模块设计

7.5.4 指令时序设计

<<数字电路设计及Verilog HDL实>>

7.5.5 控制器设计

习题

第8章 Quartus 开发平台简介

8.1 Quartus 开发环境的建立

8.1.1 软件的安装

8.1.2 驱动程序安装

8.2 Quartus 设计流程与步骤

8.2.1 创建工程

8.2.2 设计输入

8.2.3 编译设计文件

8.2.4 仿真

8.2.5 引脚分配

8.2.6 下载验证

8.2.7 对配置器件编程

习题

参考文献

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>