

<<基于SRAM的FPGA容错技术>>

图书基本信息

书名：<<基于SRAM的FPGA容错技术>>

13位ISBN编号：9787802186187

10位ISBN编号：7802186188

出版时间：2009-12

出版时间：中国宇航出版社

作者：（巴西）卡斯腾斯密得，（巴西）卡罗，（巴西）赖斯 著；杨孟飞 等译

页数：188

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<基于SRAM的FPGA容错技术>>

前言

本书介绍了用于可编程结构的多种容错技术，这种可编程结构就是著名的现场可编程门阵列（FPGA），通过静态随机访问存储器（SRAM）可进行用户定制。由于其具有信息密度大、性能高、开发成本较低及可重新编程的特性，FPGA在空间领域具有越来越多的应用价值。特别是基于SRAM的FPGA，对远距离任务很有价值，因为它能让用户在很短的时间间隔内任意多次重新编程。基于SRAM的FPGA和微控制器，是应用在空间领域众多器件的突出代表，也是本书重点讨论的内容，更具体的是指赛灵思公司（Xilinx）的Virtex系列和英特

<<基于SRAM的FPGA容错技术>>

内容概要

广泛应用于民用和工业领域的基于SRAM的FPGA，因其逻辑集成度高、使用方便、开发成本低且能够被重新编程，正逐步应用于空间领域。

空间领域的应用除了要求其具有很高的可靠性以外，抗辐射是必须重点考虑的问题。

本书针对这种需求，尤其是针对空间环境中单粒子效应的影响，详细介绍了基于SRAM的FPGA这种可编程结构的多种容错技术和方法。

本书提及的技术和方法多是从实际容错系统中总结出来的，并进行了归类、分析和总结，同时附有参考文献。

内容详尽丰富，实践性和针对性强，可作为从事容错计算和空间电子系统研究和设计人员的参考用书。

。

<<基于SRAM的FPGA容错技术>>

作者简介

费尔南达·古斯芒·德·利马·卡斯腾斯密得，是位于巴西阿雷格里港（Porto Alegre）的南大河洲联邦大学（UFRGS）计算机科学系的教授。

1997年，她从巴西阿雷格里港南大河洲联邦大学获电气工程学士学位，1999年和2003年分别获计算机科学硕士学位和微电子学博士学位。

1999年，她曾工作于法国的格勒诺布尔（Grenoble）国家理工学院（INPG）；2001年，工作于美国圣何塞（San Jose）的赛灵思（Xilinx）公司。

她的研究兴趣包括超大规模集成电路（VLSI）测试和设计、故障效应、容错技术和可编程结构。她是美国电气和电子工程师协会（IEEE）的会员。

路易吉·卡罗，1962年出生于巴西的阿雷格里港，分别于1985年和1989年从巴西南大河洲联邦大学获电气工程学士和硕士学位。

1989年~1991年，他就职于意大利阿格雷特（Agrate）的ST微电子研发小组，1996年获巴西南大河洲联邦大学计算机科学系的博士学位。

目前他是南大河洲联邦大学电气工程系讲师，负责向研究生和本科生讲授数字系统设计和数字信号处理学科。

他也是该大学计算机科学研究生计划的成员，负责嵌入式系统、数字信号处理和VLSI设计的课程。

他主要的研究兴趣包括混合信号设计、数字信号处理、混合信号和模拟测试及快速系统原型。

他已针对这些主题发表了90多篇专业论文，著有《数字系统设计和原型》（葡萄牙语）一书。

里卡多·赖斯，是巴西南大河洲联邦大学信息研究所教授。

1978年，他从巴西阿雷格里港南大河洲联邦大学获电气工程学士学位。

1983年，他从法国格勒诺布尔国家理工学院获计算机科学和微电子系的博士学位。

他的主要研究兴趣包括VLSI设计及CAD、物理设计、设计方法学和容错技术。

他在期刊和会议上发表专业论文200多篇，同时出版了一些专著。

他曾任巴西计算机学会的会长，巴西微电子学会的副会长。

他是国际信息处理联盟（IFIP）的副主席曾获IFIP的银质奖章。

他是《集成电路及系统》杂志（JICS）的主编。

里卡多也是IEEE计算机设计与测试的拉美联络员。

他还是几个学术会议的“组织和程序”委员会委员，是“集成电路及系统设计研讨会”（SBCCI）系列论坛的发起人之一。

他是IEEE的会员。

<<基于SRAM的FPGA容错技术>>

书籍目录

第1章 引言第2章 集成电路中的辐射效应 2.1 辐射环境概述 2.2 集成电路中的辐射效应 2.2.1 SEU的分类 2.3 基于SRAM的FPGA的特有影响第3章 单粒子翻转(SEU)减缓技术 3.1 基于设计的技术 3.1.1 检测技术 3.1.2 减缓技术 3.2 ASIC中SEU减缓技术实例 3.3 FPGA中SEU减缓技术实例 3.3.1 基于反熔丝的FPGA 3.3.2 基于SRAM的FPGA第4章 结构层SEU减缓技术第5章 高层SEU减缓技术 5.1 针对FPGA的三模冗余技术 5.2 刷新第6章 三模冗余(TMR)的健壮性 6.1 测试设计方法 6.2 FPGA位流中的故障注入 6.3 设计布局中翻转的定位 6.3.1 矩阵中位列的位置 6.3.2 矩阵中位行的位置 6.3.3 CLB中位的位置 6.3.4 位分类 6.4 故障注入结果 6.5 “金”片(“Golden” Chip)方法第7章 TMR微控制器的设计和测试 7.1 面积和性能结果 7.2 TMR8051微控制器辐射的地面测试结果第8章 减少TMR开销：第一部分 8.1 结合时间冗余的双备份比较 8.2 VHDL描述中的故障注入 8.3 面积和性能第9章 减少TMR开销：第二部分 9.1 算术类电路的DWC—CED技术 9.1.1 使用基于硬件冗余的CED技术 9.1.2 使用基于时间冗余的CED技术 9.1.3 选择最合适的CED模块 9.1.4 故障覆盖率结果 9.1.5 面积和性能结果 9.2 非算术电路中的DWC-CED设计技术第10章 总结与展望缩写词中英文对照参考文献

<<基于SRAM的FPGA容错技术>>

章节摘录

容错技术的开发与目标器件紧密相关，需要详细分析相关系统结构中的翻转效应。对于每一种电路，有其最适合的解决方法。在过去的几年中，集成电路工业为了追求更好的性能、更高的逻辑密度和更低的成本而使其结构越来越复杂，例如应用专用集成电路（ASIC），有数百万个晶体管的微处理器，高密度现场可编程门阵列（FPGA）组件以及最新的由嵌入式微处理器、存储器和模拟电路块组成的片上系统（SOC）。这些在单一芯片上提供大量信息处理能力的结构，给系统设计带来了重大的影响。它们的用途涵盖了广泛的应用领域，从便携系统到专用嵌入控制

<<基于SRAM的FPGA容错技术>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>