

图书基本信息

书名：<<日立H8/3048系列单片机应用技术>>

13位ISBN编号：9787810127240

10位ISBN编号：7810127241

出版时间：1997-11

出版时间：北京航空航天大学出版社

作者：李勋

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

内容概要

内容提要

H8/3048系列乃是当前16位单片微型计算机最优秀的机型之一，其突出特点在于高速、低耗、大容量。

片内含128k字节ROM，或OTPROM，或闪电存储器，以及4k字节RAM，此容量之大堪称同类机型之最。

片内DMAC与高速输入/输出、串行口或A/D转换器的配合，可大大加速处理过程.....。

本书全面系统地剖析了这些部件的原理，并配有大量的例题。

本书文字流畅，条理清晰，可读性强，略有微机原理知识的广大科技人员阅读此书均无甚困难。

书籍目录

目录

第一章 概述

1.1系列概况

1.2内部结构和引脚配置

第二章 CPU

2.1CPU概要

2.1.1H8/300H 的特点

2.1.2与H8/300CPU的不同点

2.2CPU运作方式和地址空间

2.3寄存器配置

2.3.1通用寄存器

2.3.2控制寄存器

2.3.3CPU寄存器的初值

2.4数据格式

2.4.1通用寄存器数据格式

2.4.2存储器数据格式

2.5处理状态

2.5.1程序执行状态和例外处理状态

2.5.2例外处理过程

2.5.3总线释放、复位和掉电状态

2.6基本操作的时序

2.6.1片内存储器访问时序

2.6.2片内支持模块访问时序

2.6.3对片外存储器空间的访问

第三章 指令系统

3.1指令代码格式

3.2寻址方式

3.2.1寄存器直接寻址

3.2.2寄存器间接寻址

3.2.3带偏移量的寄存器间接寻址

3.2.4增减址型寄存器间接寻址

3.2.5绝对地址寻址

3.2.6立即寻址

3.2.7程序计数器相对寻址

3.2.8存储器间接寻址

3.3指令详解

3.3.1数据传送指令

3.3.2算术运算指令

3.3.3逻辑运算指令

3.3.4移位操作指令

3.3.5位处理指令

3.3.6跳转指令

3.3.7系统控制指令

3.3.8数据块传送指令EPMOV

3.4除法指令应用中的特殊问题

3.4.1带符号除法、0除数及溢出

3.4.2无符号除法、0除数及溢出

第四章 运作方式和总线控制器

4.1运作方式

4.1.1运作方式的选择

4.1.2方式和系统控制寄存器

4.1.3七种运作方式

4.2总线控制器

4.2.1总线控制器的结构及特点

4.2.2总线控制器的运作

4.2.3使用注意事项

第五章 例外处理及中断控制器

5.1例外处理

5.1.1概要

5.1.2复位

5.1.3中断

5.1.4陷阱指令

5.1.5例外处理后的堆栈状况

5.2中断控制器

5.2.1概要

5.2.2中断控制寄存器

5.2.3中断源

5.2.4中断响应过程

5.2.5中断响应时序

5.2.6中断响应时间

5.2.7中断与关中断指令间的竞争

5.2.8某些禁止中断的指令

第六章 刷新控制器

6.1内部结构和特点

6.2控制寄存器

6.2.1刷新控制寄存器RFSHCR

6.2.2刷新定时控制/状态寄存器RTMCSR

6.2.3刷新定时计数器RTCNT

6.2.4刷新时间常数寄存器RTCOR

6.3刷新控制器的运作

6.3.1刷新控制器的三项功能

6.3.2DRAM刷新控制

6.3.3伪静态RAM刷新控制

6.3.4间隔定时

6.4中断源

6.5使用注意事项

第七章 DMA控制器

7.1DMAC概要

7.1.1DMAC的特点

7.1.2内部结构

7.1.3功能概要

7.2短地址方式下的寄存器

- 7.2.1存储地址寄存器MAR
- 7.2.2I/O地址寄存器IOAR
- 7.2.3执行传送计数寄存器ETCR
- 7.2.4数据传送控制寄存器DTCR
- 7.3全地址方式下的寄存器
- 7.3.1存储地址寄存器MAR
- 7.3.2I/O地址寄存器IOAR
- 7.3.3执行传送计数寄存器ETCR
- 7.3.4数据传送控制寄存器DTCR
- 7.4DMAC的运作
- 7.4.1运作方式概要
- 7.4.2I/O方式
- 7.4.3空闲方式
- 7.4.4重复方式
- 7.4.5正常方式
- 7.4.6块传送方式
- 7.4.7DMAC的启动
- 7.4.8DMAC总线周期
- 7.4.9多通道运作
- 7.4.10外部总线请求、刷新控制器和DMAC
- 7.4.11NMI中断和DMAC
- 7.4.12DMA传送的天折
- 7.4.13全地址方式的退出
- 7.4.14复位状态、待机方式和休眠方式下的DMAC状态
- 7.5DMA中断
- 7.6使用注意事项
- 7.6.1关于字数据传送
- 7.6.2DMAC自身存取
- 7.6.3对存储地址寄存器的长字存取
- 7.6.4关于全地址方式的设定
- 7.6.5关于内部中断对DMAC的启动
- 7.6.6NMI中断和块传送方式
- 7.6.7存储地址和I/O地址寄存器
- 7.6.8传送天折时的总线周期
- 第八章 输入/输出端口
- 8.1端口1
- 8.1.1端口功能
- 8.1.2内部结构及运作原理
- 8.2端口2
- 8.2.1端口功能
- 8.2.2内部结构及运作原理
- 8.3端口3
- 8.3.1端口功能
- 8.3.2内部结构及运作原理
- 8.4端口4
- 8.4.1端口功能
- 8.4.2内部结构及运作原理

8.5端口5

8.5.1端口功能

8.5.2内部结构及运作原理

8.6端口6

8.6.1端口功能

8.6.2内部结构及运作原理

8.7端口7

8.7.1端口功能

8.7.2内部结构及运作原理

8.8端口8

8.8.1端口功能

8.8.2内部结构及运作原理

8.9端口9

8.9.1端口功能

8.9.2内部结构及运作原理

8.10端口A

8.10.1端口功能

8.10.2内部结构及运作原理

8.11端口B

8.11.1端口功能

8.11.2内部结构及运作原理

第九章 16位集成定时单元

9.1结构与特点

9.1.1内部结构

9.1.2ITU的特点

9.1.3输入/输出引脚

9.1.4寄存器配置

9.2寄存器功能

9.2.1定时器启动寄存器TSTR

9.2.2定时器同步寄存器TSNC

9.2.3定时器方式寄存器TMDR

9.2.4定时器功能控制寄存器TFCR

9.2.5定时器输出主许寄存器TOER

9.2.6定时器输出控制寄存器TOCR

9.2.7定时计数器TCNT

9.2.8通用寄存器GRA和GRB

9.2.9缓冲寄存器BRA和BRB

9.2.10定时器控制寄存器TCR

9.2.11定时器I/O控制寄存器TIOR

9.2.12定时器状态寄存器TSR

9.2.13定时器中断允许寄存器TIER

9.3与CPU接口

9.3.116位存取寄存器

9.3.28位存取寄存器

9.4ITU的运作

9.4.1运作方式概要

9.4.2基本功能

- 9.4.3同步方式
- 9.4.4PWM方式
- 9.4.5复位同步PWM方式
- 9.4.6互补PWM方式
- 9.4.7计相方式
- 9.4.8缓冲功能
- 9.4.9ITU输出时序
- 9.5ITU中断
 - 9.5.1状态标志的置位
 - 9.5.2状态标志的清0
 - 9.5.3ITU中断源和DMA控制器的启动
- 9.6ITU使用注意事项
 - 9.6.1TCNT写入与清0间的竞争
 - 9.6.2TCNT字写入与递增间的竞争
 - 9.6.3TCNT字节写入与递增间的竞争
 - 9.6.4通用寄存器写与比较相等间的竞争
 - 9.6.5TCNT写与上溢或下溢间的竞争
 - 9.6.6通用寄存器读与输入捕捉间的竞争
 - 9.6.7计数器被输入捕获清0与计数器递增间的竞争
 - 9.6.8通用寄存器写与输入捕捉间的竞争
 - 9.6.9缓冲寄存器写与输入捕捉间的竞争
 - 9.6.10几点注释
- 第十章 可编程定时式样控制器
 - 10.1结构和特点
 - 10.1.1内部结构
 - 10.1.2特点
 - 10.1.3TPC引脚和寄存器配置
 - 10.2寄存器功能
 - 10.2.1端口A数据方向寄存器PADDR
 - 10.2.2端口A数据寄存器PADR
 - 10.2.3端口B数据方向寄存器PBDDR
 - 10.2.4端口B数据寄存器PBDR
 - 10.2.5后续数据寄存器NDRA
 - 10.2.6后续数据寄存器NDRB
 - 10.2.7后续数据允许寄存器NDERA
 - 10.2.8后续数据允许寄存器NDERB
 - 10.2.9TPC输出控制寄存器TPCR
 - 10.2.10TPC输出方式寄存器TPMR
 - 10.3TPC 的运作
 - 10.3.1概要
 - 10.3.2输出时序
 - 10.3.3正常TPC输出
 - 10.3.4不重叠TPC输出
 - 10.3.5TPC输出的ITU输入捕获触发
 - 10.4TPC使用注意事项
 - 10.4.1TPC输出引脚的运作
 - 10.4.2关于不重叠输出的几点说明

第十一章 监视定时器

11.1 结构和特点

11.1.1 内部结构

11.1.2 特点

11.1.3 引脚和寄存器配置

11.2 寄存器功能

11.2.1 定时计数器TCNT

11.2.2 定时控制/状态寄存器TCSR

11.2.3 复位控制/状态寄存器RSTCSR

11.2.4 关于寄存器存取的几点说明

11.3 WDT的运作

11.3.1 监视定时器的运作

11.3.2 间隔定时器的运作

11.3.3 溢出标志OVF置位时序

11.3.4 监视定时器复位位WRST置位时序

11.4 中断

11.5 使用注意事项

第十二章 串行通讯接口

12.1 结构与特点

12.1.1 内部结构

12.1.2 SCI的运作特点

12.1.3 SCI的I/O引脚

12.1.4 SCI寄存器配置

12.2 SCI寄存器功能

12.2.1 接收移位寄存器RSR

12.2.2 接收数据寄存器RDR

12.2.3 发送移位寄存器TSR

12.2.4 发送数据寄存器TDR

12.2.5 串行方式寄存器SMR

12.2.6 串行控制寄存器SCR

12.2.7 串行状态寄存器SSR

12.2.8 位率寄存器BRR

12.3 SCI的运作

12.3.1 概要

12.3.2 异步方式下的运作

12.3.3 多机通讯

12.3.4 同步运作

12.4 SCI中断

12.5 SCI使用注意事项

12.5.1 TDR写入和TDRE标志

12.5.2 同时多项接收错误

12.5.3 中止信号的发送、检测及处理

12.5.4 接收出错标志及发送器的运作

12.5.5 异步方式数据接收时序及接收裕度

12.5.6 DMAC的用法限制

第十三章 灵巧卡接口

13.1 内部结构和特点

13.1.1内部结构

13.1.2灵巧卡接口的特点

13.2寄存器功能

13.2.1灵巧卡方式寄存器SCMR

13.2.2串行状态寄存器SSR

13.3灵巧卡接口的运作

13.3.1运作概要

13.3.2引脚的连接

13.3.3数据格式

13.3.4寄存器的设定值

13.3.5时钟

13.3.6数据的发送和接收

13.4灵巧卡接口使用注意事项

第十四章 A/D、D/A转换器

14.1A/D转换器的结构及特点

14.1.1A/D转换器的内部结构

14.1.2A/D转换器的输入引脚

14.1.3A/D转换器的寄存器配置

14.1.4A/D转换器的特点

14.2A/D寄存器功能

14.2.1A/D数据寄存器A至D

14.2.2A/D控制/状态寄存器ADCSR

14.2.3A/D控制寄存器ADCR

14.3A/D转换器与CPU接口

14.4A/D转换器的运作

14.4.1单一方式

14.4.2扫描方式

14.4.3输入采样和A/D转换时间

14.4.4外部触发输入时序

14.5ADI中断

14.6A/D转换器使用注意事项

14.7D/A转换器的结构与特点

14.7.1D/A转换器的内部结构

14.7.2D/A转换器的特点

14.8D/A 寄存器功能

14.8.1D/A数据寄存器DADR0和DADR1

14.8.2D/A控制寄存器DACR

14.8.3D/A待机控制寄存器DASTCR

14.9D/A转换器的运作

14.10D/A输出控制

第十五章 片内RAM和ROM

15.1片内RAM

15.1.1片内RAM结构

15.1.2片内RAM的运作

15.2片内ROM

15.2.1片内ROM结构

15.2.2PROM方式

15.2.3PROM编程

15.2.4编程数据的可靠性

第十六章 时钟脉冲发生器和掉电状态

16.1时钟脉冲发生器

16.1.1概要

16.1.2振荡器电路

16.1.3占空比调整电路和定标器

16.1.4分频器

16.2掉电状态

16.2.1概要

16.2.2有关寄存器功能

16.2.3休眠方式

16.2.4软件待机方式

16.2.5硬件待机方式

16.2.6模块待机功能

16.2.7系统时钟输出禁止功能

附录

版权说明

本站所提供下载的PDF图书仅提供预览和简介, 请支持正版图书。

更多资源请访问:<http://www.tushu007.com>