

<<大型RISC处理器设计>>

图书基本信息

书名：<<大型RISC处理器设计>>

13位ISBN编号：9787810775519

10位ISBN编号：7810775510

出版时间：2005-1-1

出版时间：北京航空航天大学出版社

作者：Ulrich Golze,田泽,朱向东,于敦山,张玉杰

页数：326

译者：田泽,朱向东,于敦山,张玉杰

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<大型RISC处理器设计>>

内容概要

本书是一本系统讲述32位RISC微处理器的设计方法和设计过程的著作，其内容涵盖了RISC微处理器设计的全部方面。

书中内容有机地将计算机学科的系统结构、系统结构与微电子学科的集成电路设计与实现技术结合起来，既能帮助学习微电子的工程技术人员快速掌握RISC处理器系统结构的VLSI实现原理，又能明确的告诉计算机科学的技术人员如何用现代的电路设计思想、方法、手段来设计与实现微处理器。

本书的组织结构就是一本大规模RISC处理器芯片完整的设计文档。

本书将计算机科学和微电子科学有机结合、面向工程实际，希望能对两方面的科技工作者带来帮助

。书中展现的完整的大规模芯片的设计过程，也能对设计团队的组织管理者提供方法和流程上的帮助。

<<大型RISC处理器设计>>

作者简介

作者：(德国)戈尔齐(Golze.U.) 译者：田泽

<<大型RISC处理器设计>>

书籍目录

第1章 概述第2章 VLSI电路设计 2.1 工艺技术基础和电路设计风格 2.2 设计流程 2.3 设计阶段划分
 第3章 RISC处理器体系结构 3.1 简单的RISC处理器 3.2 处理器体系结构的选择 3.2.1 体系结构扩展技术 3.2.2 方案评估 3.2.3 设计方案技术小结第4章 Verilog 简短介绍第5章 外部行为描述 5.1 RISC处理器如何工作 5.1.1 汇编器 5.1.2 测试板 5.2 指令集 5.2.1 LD/ST类装载和存储指令 5.2.2 CTR类跳转指令 5.2.3 ALU类算术和逻辑指令 5.2.4 特殊类指令 5.2.5 综合指令 5.2.6 中断 5.3 基于Verilog HDL建模的指令解释器 5.3.1 概述 5.3.2 组织结构 5.3.3 应用 5.4 测试方案详细说明书 5.5 定量描述第6章 处理器粗略结构的内部描述 6.1 数据流 6.1.1 指令在数据通路中的执行 6.1.2 数据通路的流水线 6.1.3 流水线执行方式的特性 6.2 时序 6.2.1 简单的时钟方案 6.2.2 总线协议 6.3 流水线级 6.3.1 流水线级的命名和设计 6.3.2 取指令级IF 6.3.3 指令译码级ID 6.3.4 执行级EX 6.3.5 存储器访问级MA 6.3.6 回写级WB 6.3.7 流水线各级任务总结 6.4 Cache和寄存器堆 6.4.1 多功能Cache MPC 6.4.2 跳转目的Cache 6.4.3 流水线中MPC和BTC的协同 6.4.4 寄存器堆 6.5 中断的处理第7章 粗略结构模型的流水线划分 7.1 处理器CHIP 7.2 取指令单元IFU 7.2.1 I_BUS多选器 7.2.2 IFU_ADDR_BUS多选器 7.2.3 NPC_BUS多选器 7.2.4 跳转目的Cache BTC 7.2.5 多功能Cache MPC 7.2.6 跳转决策逻辑BDL 7.2.7 程序计数计算器PCC 7.2.8 流水级禁止逻辑PDL 7.2.9 指令译码逻辑IDL 7.2.10 串行模式控制器 SMC 7.2.11 扩展PC逻辑EPL 7.3 指令译码单元IDU 7.3.1 译码块DG1 7.3.2 译码块DG2 7.3.3 译码块DG3 7.3.4 译码块DG4 7.3.5 译码块DG5 7.3.6 译码块DG6 7.4 算术逻辑单元ALU 7.4.1 算术单元模型 7.4.2 LOGIC模型 7.4.3 SHIFT模型 7.5 存储器访问单元MAU 7.6 前推和寄存器单元FRU 7.6.1 寄存器地址译码器RAC 7.6.2 前推比较器CMP 7.6.3 前推选择逻辑FSL 7.6.4 寄存器访问逻辑RAL 7.6.5 数据和地址流水线 7.7 构建完整的处理器第8章 门级模型综合 8.1 由半导体生产商提供的库 8.1.1 逻辑门 8.1.2 内部缓冲器 8.1.3 触发器 8.1.4 锁存器 8.1.5 输入时钟驱动器 8.1.6 输入缓冲器 8.1.7 单向输出缓冲器 8.1.8 双向三态输出缓冲器 8.1.9 测试用宏单元 8.1.10 宏单元：加法器 8.1.11 宏单元：移位器 8.1.12 宏单元：用户定义的RAM库 8.1.13 自主开发的库单元：缓冲器 8.1.14 自主开发的库单元：触发器 8.1.15 自主开发的库单元：多选器 8.2 手工综合 8.2.1 同步数据传输 8.2.2 带组合逻辑的寄存器 8.2.3 寄存器流水线 8.2.4 多路数据选择器 8.2.5 常数赋值 8.2.6 变量赋值 8.2.7 行为级描述的间接综合 8.3 工具自动综合 8.3.1 综合工具 8.3.2 逻辑综合的例子 8.4 一个较大的综合实例 8.4.1 同步数据传输器 8.4.2 组合逻辑 8.4.3 数据选择多选器 8.4.4 间接综合 8.4.5 变量赋值 8.5 特殊情况：异步总线协议 8.6 统计数据和设计经验 8.7 门级模型的仿真和优化 8.7.1 验证 8.7.2 优化 8.7.3 时序仿真 第9章 测试、可测性设计、测试仪以及测试板 9.1 错误模型和错误覆盖率 9.2 自动测试仪 (ATE) 9.2.1 测试仪的配置和操作 9.2.2 格式和模版 9.3 可测性设计 9.3.1 用于存储器测试的多选器 9.3.2 扫描通路 9.3.3 信号分析 9.3.4 半导体制造商的测试电路 9.4 功能测试 9.5 测试数据导出 9.5.1 所需的测试方案和测试块 9.5.2 三态、静态电流、工艺和存储器测试 9.5.3 功能测试 9.5.4 评估测试方案 9.5.5 ATE测试数据的准备 9.6 ATE测试仪 9.6.1 DUT卡的设置 9.6.2 开始测试 9.6.3 测试结果 9.7 测试板 9.7.1 底板 9.7.2 PC接口卡和总线接口卡 9.7.3 存储卡 9.7.4 CPU卡 9.7.5 评估 9.8 结论第10章 总结和展望 10.1 效率和复杂度 10.2 用状态图和转换图进行大型VLSI设计的设计描述、分析和仿真 10.3 错误模型和HDL的测试方案第11章 Verilog HDL建模 11.1 EBNF格式语法 11.2 Verilog语句 11.2.1 结构语句 11.2.2 变量声明 11.2.3 操作符 11.2.4 程序控制 11.2.5 其它语句 11.2.6 VerilogXL 语句 11.3 基本建模概念 11.3.1 仿真器的并行执行原理和事件控制机制 11.3.2 时序控制 11.3.3 层次化建模和实例化 11.3.4 行为和结构建模 11.3.5 变量阵列 11.3.6 模型和组 11.3.7 双向通信 11.3.8 一些实用编程指南 11.4 实例 11.4.1 简单的流水线 11.4.2 复杂的流水线 11.4.3 ASIC处理器的行为级模型 11.4.4 ASIC处理器的结构化模型 11.5 语句的EBNF语法

<<大型RISC处理器设计>>

<<大型RISC处理器设计>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>