第一图书网, tushu007.com

<<Verilog SOPC高级实验教程>>

图书基本信息

书名：<<Verilog SOPC高级实验教程>>

13位ISBN编号：9787811248821

10位ISBN编号：7811248824

出版时间：2009-9

出版时间：北京航空航天大学出版社

作者：夏宇闻，黄然　等编著

页数：258

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：http://www.tushu007.com

第一图书网, tushu007.com

前言

我们知道，经过仿真证明是正确的RTL Verilog模块可以通过EDA工具综合成逻辑网表，并通过布局布线工具与物理电路对应起来。
因此，正确无误的RTLVerilog模块可以很方便地转换成与某具体工艺对应的物理电路。
这就是为什么说RTL Verilog模块比固定电路具有更大灵活性的缘故。
RTL模块不但可以映射到不同工艺和原理的基本电路，而且可以通过Verilog HDL语言支持的参数，将配置的参数值传入RTL模块，从而产生灵活多变的系列物理电路。

在本实验教程中，将从设计简单的模块开始，将其参数化，又通过参数设置将其转换成一个规模较大的电路。
可以通过综合工具将其转变成逻辑网表，然后由布局布线工具将网表转换成某种FPGA芯片或某种工艺的物理电路。
在本实验教程中，为了方便起见，只将其转换成Altera Cyclone II EP2C35 FPGA实验板上能运行的物理电路。
首先经过ModelSim仿真已被证明行为和时序都正确的Verilog模块，配置引脚后还需要进行一次布局布线，然后将所生成的物理电路文件下载到Cyclone II FPGA实验板上，通过硬件运行，再一次验证所设计的电路是正确的，这样就有了一个随时可以使用的RTL模块。
逐个积累每个模块的设计资源，再将这些模块配合系统中已经有的宏模块构成很大的系统，从而完成具有自己知识产权的复杂芯片设计。
由此可见，所谓SoC芯片前端的逻辑设计过程，其实只是在理解芯片（设计项目）的功能和原理基础上，将其分割成可以操作的多个模块，逐块加以实现和验证，最后合在一起在大型FPGA上验证的过程。

在Altera Quartus II 8.1的工具包中包含许多已经验证的宏模块（megacore），这些宏模块为设计者构建复杂数字系统提供了极大的便利。
由于开发环境中已经有许多可以利用的资源，所以，合理地利用免费的或者需要付一定费用的技术资源能显著加快设计的进度，提高设计的质量。
这对数字系统设计师而言，无疑是一个很重要的环节，使得我们能对商业化的设计资源进行估价，根据市场的大小、上市进度，以及设计经费的预算等因素，迅速地做出采用商业化IP资源的权衡和决策，并加以实施。
这些能力是SoC设计师应该具备的。

在本实验教程中，第1讲至第5讲和实验是为了介绍ModemSim仿真工具和Quartus II 综合工具的使用，以及基本的设计方法、RTL功能仿真、时序仿真和硬件运行仿真的概念；第6讲到第10讲内容和实验是为学习如何创建和利用现成的IP资源而专门设计的。

在本实验教程的后面，有很大一部分涉及Nios II CPU核的使用。
任何复杂的数字系统都离不开负责处理人机界面、数学计算、系统内存管理、进程管理，和外设管理等基本操作的CPU。
学会利用Altera Quartus II 的SopcBuilder工具，合理地配置系统所需要的嵌入式处理器核，并与自己设计的模块结合而构成一个完整的系统硬件架构，再配置合理的操作系统，并编写应用程序对于SoC系统的前端设计都是非常重要的。

SoC芯片前端设计包括的内容非常广泛，数字电路的设计只是基础，而更多的内容涉及现成资源的合理配置和应用，特别是CPU资源的利用所涉及的面很广，不但有计算机体系结构、外围设备和操作系统的选择问题，还有运算速度和输入输出资源配套等问题。

第一图书网, tushu007.com

<<Verilog SOPC高级实验教程>>

内容概要

Verilog SOPC 高级实验教程是为学习Verilog语言之后，想在FPGA上设计并实现嵌入式数字系统的人们而专门编写的。
本实验教程是《Verilog数字系统设计教程》（第2版）的后续课程，是姊妹篇。
本书通过由浅入深的10个实验，详细地介绍了ModelSim 6.0和Quartus II 8.1的操作步骤，扼要地介绍了Quartus II 8.1的主要设计资源和SOPCBuilder等工具的应用方法，并阐述了如何配合自己设计的Verilog模块和FPGA中的内嵌处理器Nios II 等现成IP资源，设计并实现高性能嵌入式硬件/软件系统。
本实验教程也可以作为集成电路设计专业系统芯片（SoC）前端逻辑设计和验证课程的实验教材。
为了使阐述的内容更加具体，本教程中的每个实验均选用Altera FPGA （型号为Cyclone II EP2C35F672C8）实现，并在革新科技公司专业级实验平台GXSOC/SOPC运行通过。
　本书可作为电子信息、自动控制、计算机工程类大学本科高年级学生和研究生的教学用书，亦可供其他工程技术人员自学与参考。

第一图书网, tushu007.com

<<Verilog SOPC高级实验教程>>

书籍目录

第1讲 ModelSim SE 6.0的操作　1.1 创建设计文件的目录　1.2 编写RTL代码　1.3 编写测试代码　1.4 开始RTL仿真前的准备工作　1.5 编译前的准备、编译和加载　1.6 波形观察器的设置　1.7 仿真的运行控制　总结　思考题第2讲 Quartus 8.1入门　2.1 Quartus II 的基本操作知识　2.2 Quartus II 的在线帮助　2.3 建立新的设计项目　2.4 用线路原理图为输入设计电路　2.5 编译器的使用　2.6 对已设计的电路进行仿真　2.7 对已布局布线的电路进行时序仿真　总结　思考题第3讲 用Altera器件实现电路　3.1 用Cyclone II FPGA实现电路　3.2 芯片的选择　3.3 项目的编译　3.4 在FPGA中实现设计的电路　总结　思考题第4讲 参数化模块库的使用　4.1 在Quartus II 下建立引用参数化模块的目录和设计项目　4.2 在Quartus II 下进入设计资源引用环境　4.3 参数化加法-减法器的配置和确认　4.4 参数化加法器的编译和时序分析　4.5 复杂算术运算的硬件逻辑实现　总结　思考题第5讲 锁相环模块和SignalTap的使用第6讲 Quartus II SOPCBuilder的使用第7讲 在Nios II 系统中融入IP第8讲 LCD显示控制器IP的设计第9讲 BitBLT控制器IP第10讲 复杂SOPC系统的设计本书的结束语附录 GXSOC/ SOPC 专业级创新开发实验平台参考文献

第一图书网, tushu007.com

章节摘录

第1讲 ModelSim SE 6.0的操作　　1.5　编译前的准备、编译和加载　　编译前的准备、编译和加载步骤是：单击Library选择框的右侧，在出现的下拉菜单中选择RTLsim，然后选择mymux.v，muxtop.v，t.v，单击上述窗口中的Compile，即可完成编译。
随后在主窗口中的工作空间子窗口中的RTLsim目录中就会出现这三个文件的名字，说明编译顺利通过。
在报告子窗口中也有信息表明编译顺利完成。
如果编译出现错误，双击报告子窗口中出现的错误信息，便能自动地提示发生错误的程序行，帮助设计者发现错误。
双击工作空间子窗口中RTLsim目录下的t，随即就可以将编译后的代码加载到仿真器。
必须注意Library的名称是你想要的（本例子中为RTLsim），编译后的信息都记录在这个库中。
如果加载成功，就可以准备波形观查器的信号设置。
如果加载不成功，报告子窗口中将出现错误信息提示，必须认真分析错误信息，从而找到问题出在哪里。
加载成功后，工作空间子窗口将自动从Library子窗口转移到sim子窗口。
　　1.6　波形观察器的设置　　在工作空间（workspace）子窗口sim中，右击想要观察波形的模块t，然后在出现的菜单上单击Add>Add to Wave项，就出现带有可观察信号的波形框图。
若还需要观察其他模块的信号波形，可以用类似方法添加。

第一图书网, tushu007.com

<<Verilog SOPC高级实验教程>>

编辑推荐

《Verilog SOPC高级实验教程》共分10讲内容，第1讲至第5讲和实验是为了介绍ModemSim仿真工具和Quartus Ⅱ综合工具的使用，以及基本的设计方法、RTL功能仿真、时序仿真和硬件运行仿真的概念；第6讲到第10讲内容和实验是为学习如何创建和利用现成的IP资源而专门设计的。
《Verilog SOPC高级实验教程(附盘)》可作为电子信息、自动控制、计算机工程类大学本科高年级学生和研究生的教学用书，亦可供其他工程技术人员自学与参考

第一图书网, tushu007.com

<<Verilog SOPC高级实验教程>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:http://www.tushu007.com